

Docket No.: R2180.0189/P189  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Takaaki Negoro et al.

Application No.: Not Yet Assigned

Filed: Concurrently Herewith

Art Unit: N/A

For: SEMICONDUCTOR DEVICE HAVING  
DMOS AND CMOS ON SINGLE  
SUBSTRATE

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following  
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-029375	February 6, 2003

Application No.: Not Yet Assigned

Docket No.: R2180.0189/P189

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 3, 2004

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

DICKSTEIN SHAPIRO MORIN &  
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 2月 6日

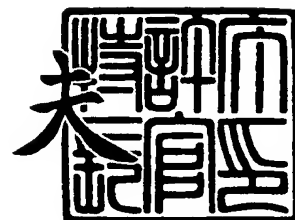
出願番号  
Application Number: 特願2003-029375  
[ST. 10/C]: [JP2003-029375]

出願人  
Applicant(s): 株式会社リコー

2004年 1月15日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3000060

【書類名】 特許願

【整理番号】 0203704

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8234  
H01L 27/10

【発明の名称】 半導体装置

【請求項の数】 9

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 根来 宝昭

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 藤本 敬治

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 木村 岳史

【特許出願人】

    【識別番号】 000006747

    【氏名又は名称】 株式会社リコー

【代理人】

    【識別番号】 100085464

    【弁理士】

    【氏名又は名称】 野口 繁雄

【手数料の表示】

    【予納台帳番号】 037017

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808801

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 P 型の同一半導体基板上に、P チャネル型 DMOS トランジスタと、P チャネル型 MOS トランジスタ及び N チャネル型 MOS トランジスタからなる CMOS とを備えた半導体装置において、

前記 P チャネル型 DMOS トランジスタは、ドレインを前記半導体基板とし、ソースを前記半導体基板の主表面側にもつ縦型 DMOS トランジスタであり、

前記 P チャネル型 MOS トランジスタは、前記半導体基板の主表面側に形成された N 型領域内に形成されており、

前記 N チャネル型 MOS トランジスタは、前記 N 型領域によって前記半導体基板とは電氣的に分離された P 型領域内に形成されていることを特徴とする半導体装置。

【請求項 2】 前記半導体基板は、主表面とは反対側の裏面側から順に P 型高濃度半導体基板と P 型低濃度エピタキシャル成長層が積層された積層構造をもつ請求項 1 に記載の半導体装置。

【請求項 3】 前記 N 型領域の底部は、前記 P 型高濃度半導体基板と前記 P 型低濃度エピタキシャル成長層の界面に形成された N 型埋め込み層により構成されている請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体基板は、前記 P 型高濃度半導体基板と前記 P 型低濃度エピタキシャル成長層の間に第 2 P 型低濃度エピタキシャル成長層をさらに備え、

前記 N 型埋め込み層は、前記 P 型低濃度エピタキシャル成長層と前記第 2 P 型低濃度エピタキシャル成長層の界面に形成されている請求項 3 に記載の半導体装置。

【請求項 5】 前記半導体基板は、前記 P 型低濃度エピタキシャル成長層と前記第 2 P 型低濃度エピタキシャル成長層の間に第 3 P 型低濃度エピタキシャル成長層をさらに備え、

前記 N 型埋め込み層は、前記第 2 P 型低濃度エピタキシャル成長層と前記第 3

P型低濃度エピタキシャル成長層の界面に形成されており、

前記P型領域の形成領域に対応して、前記P型低濃度エピタキシャル成長層と前記第3P型低濃度エピタキシャル成長層の界面にP型埋め込み層が形成されている請求項4に記載の半導体装置。

【請求項6】 前記N型領域は、底面部が前記N型埋め込み層により構成され、側面部が前記P型領域の形成領域を含む前記P型低濃度エピタキシャル成長層の領域を囲むように形成されたNウェル領域により構成されており、

前記P型領域は前記N型領域に囲まれた領域の前記P型低濃度エピタキシャル成長層に形成されている請求項3から5のいずれかに記載の半導体装置。

【請求項7】 前記半導体基板は、前記Pチャネル型DMOSトランジスタのソース形成領域の下側に、P型埋め込み層を備えている請求項2から6のいずれかに記載の半導体装置。

【請求項8】 請求項1から7に記載の半導体装置とは逆導電型の構成にしたことを特徴とする半導体装置。

【請求項9】 出力トランジスタと、前記出力トランジスタからの出力電圧を基準電圧と比較しその出力電圧が一定になるようにフィードバックをかけるコントロール部とをもつ定電圧回路を備えた半導体装置において、

前記出力トランジスタは請求項1から8のいずれかに記載されたDMOSトランジスタにより構成され、

前記コントロール部で使用されるCMOSが請求項1から8のいずれかに記載されたCMOSにより構成されていることを特徴とする半導体装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、DMOSトランジスタ（二重拡散絶縁ゲート型電界効果トランジスタ）と、Pチャネル型MOSトランジスタ及びNチャネル型MOSトランジスタからなるCMOS（相補型MOS）を混載した半導体装置に関するものである。このような半導体装置は例えば定電圧回路を備えた半導体装置や、高耐圧半導体装置などに適用される。

## 【0002】

## 【従来の技術】

図17にDMOSトランジスタとCMOSを混載している従来の半導体装置の断面図を示す。この従来例は、DMOSトランジスタとしてPチャネル型のもの（以下PchDMOSトランジスタと称す）を備えている。

## 【0003】

20Ωcm程度の比抵抗をもつP型半導体基板72の表面に、CMOSを構成するPチャネル型MOSトランジスタ（以下PchMOSトランジスタと称す）及びNチャネル型MOSトランジスタ（以下NchMOSトランジスタと称す）、PchDMOSトランジスタ形成領域を分離するためのLOCOS酸化膜6が形成されている。P型半導体基板72の主表面側に、PchDMOSトランジスタ形成領域に対応してNウエル領域（Nwell）74と、NchMOSトランジスタ形成領域に対応してPウエル領域（Pwell）76と、PchDMOSトランジスタ形成領域に対応してNウエル領域（Nwell）78が形成されている。

## 【0004】

PchDMOSトランジスタについて説明する。

Nウエル領域78内に、PchDMOSトランジスタのドレインを構成するPウエル領域（Pwell）80と、Nウエル領域78の電位をとるためのN型高濃度拡散層82が形成されている。Pウエル領域80内にN型チャネル拡散層（N-）84が形成されている。Pウエル領域80内には、N型チャネル拡散層84の両側に、N型チャネル拡散層84とは間隔をもってドレインコンタクト用のP型高濃度拡散層（P+）86、86も形成されている。

## 【0005】

N型チャネル拡散層84内に、N型チャネル拡散層84のP型高濃度拡散層86側の端部とは間隔をもって配置され、互いに間隔をもって配置された2つのP型高濃度拡散層（P+）88、88が形成されている。N型チャネル拡散層84には、P型高濃度拡散層88、88の間に、N型チャネル拡散層84の電位をとるためのN型高濃度拡散層（N+）90も形成されている。P型高濃度拡散層8



8はPchDMOSトランジスタのソースを構成する。

【0006】

N型チャネル拡散層84上及びPウエル領域80上に、ゲート酸化膜92を介して、P型高濃度拡散層88に隣接し、かつP型高濃度拡散層86とは間隔をもって、ポリシリコンからなるゲート電極94が形成されている。ゲート電極94下のN型チャネル拡散層84の表面がチャネル領域となる。

【0007】

PchMOSトランジスタについて説明する。

Nウエル領域74内に、ソース及びドレインを構成する2つのP型高濃度拡散層(P+)96, 96が互いに間隔をもって形成されている。P型高濃度拡散層96, 96の間のNウエル領域74上に、ゲート酸化膜98を介して、ポリシリコンからなるゲート電極100が形成されている。

【0008】

NchMOSトランジスタについて説明する。

Pウエル領域76内に、ソース及びドレインを構成する2つのN型高濃度拡散層(N+)102, 102が互いに間隔をもって形成されている。N型高濃度拡散層102, 102の間のPウエル領域上76に、ゲート酸化膜104を介して、ポリシリコンからなるゲート電極106が形成されている。

【0009】

DMOSトランジスタとCMOSを混載している半導体装置は、例えば特許文献1に記載されている。

【0010】

DMOSトランジスタとCMOSを混載した半導体装置は例えば定電圧回路を備えた半導体装置に適用される。定電圧回路においてDMOSトランジスタは出力トランジスタに用いられる。定電圧回路は出力電流を大電流としても一定電圧を出力する機能を備えている。

【0011】

【特許文献1】

特開平9-237841号公報

## 【0012】

## 【発明が解決しようとする課題】

しかし、出力トランジスタとして、図17に示したような表面チャネル型のPchDMOSトランジスタを用いて電流を出力する定電圧回路では、大電流を流したときに生じる配線の電流容量の問題をなくするためにソース配線及びドレイン配線の配線幅を太くする必要があり、さらにソース端子及びドレイン端子をとるために、DMOSトランジスタからなる出力トランジスタが流すことのできる能力の半分程度しか引き出せていなかった。

## 【0013】

そこで本発明は、DMOSトランジスタとCMOSを混載した半導体装置において、DMOSトランジスタが電流を流すことができる能力を有効に引き出すことのできる半導体装置を提供することを目的とするものである。

## 【0014】

## 【課題を解決するための手段】

本発明は、P型の同一半導体基板上に、PchDMOSトランジスタと、PchMOSトランジスタ及びNchMOSトランジスタからなるCMOSとを備えた半導体装置であって、上記PchDMOSトランジスタは、ドレインを上記半導体基板とし、ソースを上記半導体基板の主表面側にもつ縦型DMOSトランジスタであり、上記PchMOSトランジスタは、上記半導体基板の主表面側に形成されたN型領域内に形成されており、上記NchMOSトランジスタは、上記N型領域によって上記半導体基板とは電氣的に分離されたP型領域内に形成されているものである。

## 【0015】

本発明の半導体装置においては、DMOSトランジスタとして縦型DMOSトランジスタを備えていることにより、DMOSトランジスタのソース及びドレインに対して半導体基板の主表面側に形成される出力配線はソース配線のみにすることができ、従来表面デバイスのソース配線及びドレイン配線の半分となり、電流容量を上げることができ、DMOSトランジスタが電流を流すことができる能力を有効に引き出すことができる。

また、同一半導体基板上に形成されるCMOSは、半導体基板とは電氣的に分離されたN型領域及びP型領域に配置しているので、製品化が可能となる。

#### 【0016】

##### 【発明の実施の形態】

本発明の半導体装置において、上記半導体基板は、主表面とは反対側の裏面側から順にP型高濃度半導体基板とP型低濃度エピタキシャル成長層が積層された積層構造をもつことが好ましい。

#### 【0017】

その結果、DMOSトランジスタのドレイン抵抗を下げることができるので、製品性能を向上させることができる。さらに、DMOSトランジスタのドレイン以外の部分及びCMOSが低濃度エピタキシャル成長層に形成されているようにすることにより、CMOS及びDMOSトランジスタの作製が困難になるのを防止することができる。

#### 【0018】

さらに、上記N型領域の底部は、上記P型高濃度半導体基板と上記P型低濃度エピタキシャル成長層の界面に形成されたN型埋め込み層により構成されていることが好ましい。

#### 【0019】

その結果、CMOS形成領域とP型高濃度半導体基板との縦方向の電氣的分離を向上させ、分離耐圧の不足や、寄生バイポーラ構造に起因するラッチアップなど防止することができ、高電圧が扱える製品をつくることが可能になる。

#### 【0020】

さらに、上記半導体基板は、上記P型高濃度半導体基板と上記P型低濃度エピタキシャル成長層の間に第2P型低濃度エピタキシャル成長層をさらに備え、上記N型埋め込み層は、上記P型低濃度エピタキシャル成長層と上記第2P型低濃度エピタキシャル成長層の界面に形成されていることが好ましい。

#### 【0021】

その結果、N型埋め込み層はP型高濃度半導体基板とは間隔をもって配置されるので、製造工程での熱処理時におけるP型高濃度半導体基板からのP型不純物

のせり上がり部分を第2 P型低濃度エピタキシャル成長層で吸収することができ、より強固なN型埋め込み層を備えることができる。さらに、P型高濃度半導体基板からのP型不純物のせり上がり拡散に起因するN型埋め込み層の消失をなくすることができる。さらに、P型高濃度半導体基板内のP型不純物がN型埋め込み層上部まで拡散することによって、主表面側から形成したN型領域部分がN型埋め込み層まで届かずに、半導体基板とP型領域の電気的分離が不完全になるという不具合を防止することができる。このように、高耐压化及びラッチアップに強い構造とすることができる。

#### 【0022】

さらに、上記半導体基板は、上記P型低濃度エピタキシャル成長層と上記第2 P型低濃度エピタキシャル成長層の間に第3 P型低濃度エピタキシャル成長層をさらに備え、上記N型埋め込み層は、上記第2 P型低濃度エピタキシャル成長層と上記第3 P型低濃度エピタキシャル成長層の界面に形成されており、上記P型領域の形成領域に対応して、上記P型低濃度エピタキシャル成長層と上記第3 P型低濃度エピタキシャル成長層の界面にP型埋め込み層が形成されていることが好ましい。

#### 【0023】

その結果、N c h M O S トランジスタの形成領域におけるN型埋め込み層の上方拡散を第3 P型低濃度エピタキシャル成長層及びP型埋め込み層より吸収することができるので、P型領域を高濃度ウエル領域にしなくてもウエル耐压を確保することができる。これにより、P型領域に形成されるN c h M O S トランジスタのしきい値電圧の上昇を抑制することができ、高電圧デバイスへの適用が可能になる。

#### 【0024】

さらに、上記N型領域は、底面部が上記N型埋め込み層により構成され、側面部が上記P型領域の形成領域を含む上記P型低濃度エピタキシャル成長層の領域を囲むように形成されたNウエル領域により構成されており、上記P型領域は上記N型領域に囲まれた領域の上記P型低濃度エピタキシャル成長層に形成されていることが好ましい。

## 【0025】

その結果、N型領域に囲まれた領域のP型低濃度エピタキシャル成長層とP型高濃度半導体基板とを電氣的に分離することができるので、N型領域に形成されたPchMOSトランジスタとP型領域に形成されたNchMOSトランジスタにより構成されるCMOSは、半導体基板表面の電圧設定のみで回路を構成することが可能となる。これにより、PchDMOSトランジスタのドレインとなるP型高濃度半導体基板を出力端子とすることができる。

## 【0026】

さらに、上記半導体基板は、上記PchDMOSトランジスタのソース形成領域の下側に、P型埋め込み層を備えていることが好ましい。

## 【0027】

その結果、P型埋め込み層により、PchDMOSトランジスタにおいてデバイス耐圧に合わせたドレイン抵抗値を設定でき、PchDMOSトランジスタのオン抵抗を下げることができる。

## 【0028】

上記の態様では、P型の半導体基板を用いた場合を説明しているが、本発明はこれに限定されるものではなく、N型の半導体基板を用い、P型の半導体基板を用いた場合とは逆導電型の構成にすることにより、N型の半導体基板を用いた場合にもP型の半導体基板を用いた場合と同様の効果が得られる。ここで逆導電型とは、P型に対してN型をいい、N型に対してP型をいう。

## 【0029】

本発明が適用される半導体装置として、出力トランジスタと、上記出力トランジスタからの出力電圧を基準電圧と比較しその出力電圧が一定になるようにフィードバックをかけるコントロール部とをもつ定電圧回路を備えた半導体装置を挙げることができる。本発明の半導体装置では、上記定電圧回路において、上記出力トランジスタは本発明の半導体装置を構成するDMOSトランジスタにより構成され、上記コントロール部で使用されるCMOS本発明の半導体装置を構成するCMOSにより構成される。

## 【0030】

従来、定電圧回路を備えた半導体装置では出力トランジスタとしてバイポーラトランジスタが多く用いられている。特に、大電流を流す定電圧回路では製造プロセスが簡便なバイポーラトランジスタが主流である。しかし、出力トランジスタとしてバイポーラトランジスタを用いた定電圧回路は、電流駆動タイプとなるため、消費電流が大きいという問題があった。さらに、定電圧回路は電圧変換時には常時オン状態になるために、発熱が大きな問題となっていた。また、出力トランジスタとして表面チャネル型のMOSトランジスタを用いたものでは、半導体基板の主表面側のみでの電流のやりとりをしていたため、配線の電流容量により流す電流にも制限があった。

#### 【0031】

定電圧回路を備えた本発明の半導体装置では、MOSトランジスタのみで定電圧回路を構成しているので消費電流を下げることができる。さらに、出力端子を半導体基板とする構造であるので放熱特性がよい。さらに、出力トランジスタはソース配線及びドレイン配線の両方ではなくソース配線のみを主表面側にもつので、出力トランジスタの面積を小さくすることができる。さらに、電流は主表面から基板側に流れるため、電流を流す部分の断面積を大きくとることができ、大電流化が可能となる。

#### 【0032】

##### 【実施例】

図1は一実施例を示す断面図である。

$0.1\ \Omega\text{cm}$ 以下の比抵抗をもつP型高濃度半導体基板2の一表面上に、比抵抗が $20\ \Omega\text{cm}$ 程度のP型低濃度エピタキシャル成長層4が形成されている。P型高濃度半導体基板2とP型低濃度エピタキシャル成長層4は本発明の半導体装置の半導体基板を構成する。

#### 【0033】

P型低濃度エピタキシャル成長層4の表面（主表面）に、LOCOS（local oxidation of silicon）法により形成された、トランジスタの形成領域を分離するための素子分離用のLOCOS酸化膜6が形成されている。

#### 【0034】

PchMOSトランジスタ及びNchMOSトランジスタからなるCMOS形成領域を含むP型低濃度エピタキシャル成長層4の領域に、Nウエル領域(Nwell)8が形成されている。Nウエル領域8は本発明の半導体装置のN型領域を構成する。

Nウエル領域8内でNchMOSトランジスタ形成領域を含む領域にPウエル領域10が形成されている。Pウエル領域10は本発明の半導体装置のP型領域を構成する。

#### 【0035】

Pウエル領域10とは異なる領域のNウエル領域8にPchMOSトランジスタが形成されている。PchMOSトランジスタは、Nウエル領域8内に互いに間隔をもって形成された2つのP型高濃度拡散層(P+)12, 12と、P型高濃度拡散層12, 12間のNウエル領域8上にゲート酸化膜14を介して形成された、ポリシリコン膜からなるゲート電極16を備えている。P型高濃度拡散層12, 12はPchMOSトランジスタのソース及びドレインを構成する。

#### 【0036】

Pウエル領域10にNchMOSトランジスタが形成されている。NchMOSトランジスタは、Pウエル領域10内に互いに間隔をもって形成された2つのN型高濃度拡散層(N+)18, 18と、N型高濃度拡散層18, 18間のPウエル領域10上にゲート酸化膜20を介して形成された、ポリシリコン膜からなるゲート電極22を備えている。N型高濃度拡散層18, 18はNchMOSトランジスタのソース及びドレインを構成する。

#### 【0037】

P型低濃度エピタキシャル成長層4の表面側でCMOS形成領域とは異なる領域に、PchDMOSトランジスタのN型チャネル拡散層(N-)24が形成されている。N型チャネル拡散層24はLOCOS酸化膜6とは間隔をもって形成されている。

#### 【0038】

N型チャネル拡散層24内に、2つのP型高濃度拡散層26, 26が互いに間隔をもって形成されている。N型チャネル拡散層24内には、P型高濃度拡散層

26, 26の間に、N型チャネル拡散層24の電位をとるためのN型高濃度拡散層(N+)28も形成されている。

#### 【0039】

P型高濃度拡散層26のN型高濃度拡散層28とは反対側の端部上からLOCOS酸化膜6までの、N型チャネル拡散層24上及びP型低濃度エピタキシャル成長層4上にゲート酸化膜30が形成されている。ゲート酸化膜30上からLOCOS酸化膜6にわたって、ポリシリコン膜からなるゲート電極32が形成されている。

#### 【0040】

P型高濃度拡散層26はPchDMOSトランジスタのソースを構成し、P型低濃度エピタキシャル成長層4及びP型高濃度半導体基板2はPchDMOSトランジスタのドレインを構成する。

#### 【0041】

この実施例では、PchDMOSトランジスタとして縦型DMOSトランジスタを備えているので、P型低濃度エピタキシャル成長層4の主表面側に形成するPchDMOSトランジスタの出力配線はソースを構成するP型高濃度拡散層26のみに形成すればよい。しがたって、従来の表面デバイスのソース配線及びドレイン配線に比べて出力配線は半分になり、電流容量を上げることができるので、PchDMOSトランジスタが電流を流すことができる能力を有効に引き出すことができる。

#### 【0042】

また、P型低濃度エピタキシャル成長層4に形成されるCMOSは、P型低濃度エピタキシャル成長層4及びP型高濃度半導体基板2とは電氣的に分離されたNウェル領域8内及びPウェル領域10内に形成されているので、製品化が可能となる。

#### 【0043】

さらに、半導体基板として、P型高濃度半導体基板2とP型低濃度エピタキシャル成長層4が積層された積層構造をもつものを用いているので、PchDMOSトランジスタのドレイン抵抗を下げることができ、製品性能を向上させること



ができる。さらに、PchDMOSトランジスタのドレイン以外の部分、ここではN型チャネル拡散層24、ソースであるP型高濃度拡散層26及びN型高濃度拡散層28、並びに、CMOSを形成する領域であるNウエル領域8及びPウエル領域10は、低濃度エピタキシャル成長層4に形成されているので、CMOS及びDMOSトランジスタの作製が困難になるのを防止することができる。

#### 【0044】

図2及び図3は、図1に示した実施例を製造するための製造方法の一例を示す工程断面図である。図1から図3を参照して、この製造方法の例を説明する。

#### 【0045】

(1)  $0.1\ \Omega\text{cm}$ 以下の比抵抗をもつP型高濃度半導体基板2を準備する(図2(a)参照)。

(2) P型高濃度半導体基板2の一表面上に、比抵抗が $20\ \Omega\text{cm}$ 程度のP型低濃度エピタキシャル成長層4を例えば $15\ \mu\text{m}$ (マイクロメートル)の膜厚に形成する(図2(b)参照)。

#### 【0046】

(3) 写真製版技術及びイオン注入法により、N型不純物、例えばリンを加速エネルギーは $150\ \text{KeV}$ 、ドーズ量は $1.0 \times 10^{13}\ \text{cm}^{-2}$ 程度の条件で、P型低濃度エピタキシャル成長層4のCMOS形成領域に選択的に注入する。例えば $1180^\circ\text{C}$ 、14時間程度の条件で熱処理を施して、注入したリンを活性化させ、Nウエル領域8を形成する(図2(c)参照)。

#### 【0047】

(4) 写真製版技術及びイオン注入法により、P型不純物、例えばボロンを加速エネルギーは $60\ \text{KeV}$ 、ドーズ量は $5.0 \times 10^{12}\ \text{cm}^{-2}$ 程度の条件で、Nウエル領域8のNchMOSトランジスタ形成領域に選択的に注入する。例えば $1150^\circ\text{C}$ 、8時間程度の条件で熱処理を施して、注入したボロンを活性化させ、Nウエル領域8内にPウエル領域10を形成する(図2(d)参照)。

#### 【0048】

(5) 通常のLOCOS酸化法を用いて、P型低濃度エピタキシャル成長層4の表面に、CMOSを構成するPchMOSトランジスタ及びNchMOSトラン

ジスタ、並びに PchDMOS トランジスタ形成領域を分離するための LOCOS 酸化膜 6 を形成する。LOCOS 酸化膜 6 の膜厚は例えば 800 nm (ナノメートル) 程度である。PchMOS トランジスタ形成領域である LOCOS 酸化膜 6 で囲まれた N ウェル領域 8 の表面にゲート酸化膜 14 を形成し、NchMOS トランジスタ形成領域である LOCOS 酸化膜 6 で囲まれた P ウェル領域 10 の表面にゲート酸化膜 20 を形成し、PchDMOS トランジスタ形成領域である LOCOS 酸化膜 6 で囲まれた P 型低濃度エピタキシャル成長層 4 の表面にゲート酸化膜 30 を形成する (図 3 (e) 参照)。

ここで、LOCOS 酸化膜 6 の下部に、チャネルストッパーとなるフィールドドープ拡散層を形成するようにしてもよい。

#### 【0049】

(6) 写真製版技術及びイオン注入法により、PchMOS トランジスタ形成領域である N ウェル領域 8 の表面に PchMOS トランジスタのしきい値電圧を決定するためのチャネルドープ注入と、NchMOS トランジスタ形成領域である P ウェル領域 10 の表面に NchMOS トランジスタのしきい値電圧を決定するためのチャネルドープ注入とをそれぞれ行なう。

#### 【0050】

CVD (chemical vapor deposition) 法により、半導体基板上全面にポリシリコン膜を例えば 500 nm 程度の膜厚に堆積する。そのポリシリコン膜上に、NchMOS トランジスタ形成領域に対応して開口部をもつ酸化膜 (図示は省略) を例えば 200 nm 程度の膜厚に形成し、リンの堆積及び熱拡散により、NchMOS トランジスタ形成領域に対応して N 型ポリシリコン膜を形成する。写真製版技術及びドライエッチングにより、ポリシリコン膜をパターンニングして、PchMOS トランジスタ形成領域にポリシリコン膜からなるゲート電極 16 を形成し、NchMOS トランジスタ形成領域に N 型ポリシリコン膜からなるゲート電極 22 を形成し、PchDMOS トランジスタ形成領域にポリシリコン膜からなるゲート電極 32 を形成する (図 3 (f) 参照)。

#### 【0051】

(7) 写真製版技術及びイオン注入法により、N 型不純物、例えばリンを加速エ

エネルギーは  $100\text{ KeV}$ 、ドーズ量は  $3.0 \times 10^{13}\text{ cm}^{-2}$  程度の条件で、ゲート電極 32 をマスクにして、PchDMOS トランジスタ形成領域の P 型低濃度エピタキシャル成長層 4 の表面に選択的に注入する。例えば  $1100^\circ\text{C}$ 、3 時間程度の条件で熱処理を施し、注入したリンを活性化させて N 型チャネル拡散層 24 を形成する。N 型チャネル拡散層 24 はゲート電極 32 に対して自己整合的に形成される（図 3（g）参照）。

#### 【0052】

（8）写真製版技術及びイオン注入法により、P 型不純物、例えばボロンを加速エネルギーは  $30\text{ KeV}$ 、ドーズ量は  $3.0 \times 10^{15}\text{ cm}^{-2}$  程度の条件で、ゲート電極 16 及び 32 をマスクにして、PchMOS トランジスタ形成領域の N ウェル領域 8、及び PchDMOS トランジスタ形成領域の N 型チャネル拡散層 24 内のソース形成領域に選択的に注入する（×印参照）。このとき、ゲート電極 16 及び 32 にもボロンが注入される（図 3（h）参照）。

#### 【0053】

（9）写真製版技術及びイオン注入法により、N 型不純物、例えばリン又はヒ素を加速エネルギーは  $50\text{ KeV}$ 、ドーズ量は  $5.0 \times 10^{15}\text{ cm}^{-2}$  程度の条件で、ゲート電極 22 をマスクにして、NchMOS トランジスタ形成領域の P ウェル領域 10、及び PchDMOS トランジスタ形成領域の N 型チャネル拡散層 24 の N 型高濃度拡散層形成領域に選択的に注入する。

#### 【0054】

例えば  $920^\circ\text{C}$ 、60 分程度の条件で熱処理を施して、不純物の活性化を行ない、N ウェル領域 8 に PchMOS トランジスタのソース及びドレインとなる P 型高濃度拡散層 12，12 を形成し、P ウェル領域 10 に NchMOS トランジスタのソース及びドレインとなる N 型高濃度拡散層 18，18 を形成し、N 型チャネル領域 24 に N 型高濃度拡散層 28 と PchDMOS トランジスタのソースとなる P 型高濃度拡散層 26 を形成する。この熱処理により、上記工程（8）でゲート電極 16 及び 32 に注入されたボロンも活性化され、ゲート電極 16 及び 32 が低抵抗化される（図 1 参照）。

#### 【0055】

図4は他の実施例を示す断面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の説明は省略する。

#### 【0056】

この実施例において図1に示した実施例と異なる点は、PchDMOSトランジスタのソースを構成するP型高濃度拡散層26の下側の、P型高濃度半導体基板2とP型低濃度エピタキシャル成長層4の界面に、P型埋め込み層34が形成されていることである。

#### 【0057】

PchDMOSトランジスタのソースを構成するP型高濃度拡散層26の下側にP型埋め込み層34を備えていることにより、PchDMOSトランジスタにおいてデバイス耐圧に合わせたドレイン抵抗値を設定でき、PchDMOSトランジスタのオン抵抗を下げることができる。

#### 【0058】

P型埋め込み層34は、例えば図2(a)を参照して説明した工程(1)において、P型高濃度半導体基板2の所定の領域に、ボロンを加速エネルギーは50KeV、ドーズ量は $1.0 \times 10^{14} \text{ cm}^{-2}$ の条件で注入した後に、1000℃、60分程度の条件で熱処理を施して活性化しておくことにより形成することができる。

#### 【0059】

図5は、さらに他の実施例を示す断面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

P型高濃度半導体基板2の一表面上にP型低濃度エピタキシャル成長層4が形成されている。P型低濃度エピタキシャル成長層4の表面に素子分離用のLOCOS酸化膜6が形成されている。

#### 【0060】

CMOS形成領域に対応して、P型高濃度半導体基板2とP型低濃度エピタキシャル成長層4の界面にN型埋め込み層36が形成されている。P型低濃度エピタキシャル成長層4に、PchMOSトランジスタの形成領域を含み、かつNchMOSトランジスタの形成領域を囲むように、Nウェル領域(Nwel1)3

8が形成されている。Nウエル領域38の底部はN型埋め込み層36と電氣的に接続されている。N型埋め込み層36及びNウエル領域38は本発明の半導体装置のN型領域を構成する。

#### 【0061】

Nウエル領域38に、ソース及びドレインとなるP型高濃度拡散層12、12と、ゲート酸化膜14並びにゲート電極16を備えたPchMOSトランジスタが形成されている。

#### 【0062】

N型埋め込み層36及びNウエル領域38に囲まれた領域のP型低濃度エピタキシャル成長層4aの表面側に、Pウエル領域40が形成されている。Pウエル領域40は、N型埋め込み層36及びNウエル領域38によって、N型埋め込み層36及びNウエル領域38に囲まれたP型低濃度エピタキシャル成長層4a以外の領域のP型低濃度エピタキシャル成長層4、及びP型高濃度半導体基板2とは電氣的に分離されている。Pウエル領域40は本発明の半導体装置のP型領域を構成する。

Pウエル領域40に、ソース及びドレインとなるN型高濃度拡散層18、18、ゲート酸化膜20並びにゲート電極22を備えたNchMOSトランジスタが形成されている。

#### 【0063】

P型低濃度エピタキシャル成長層4の表面側でCMOS形成領域とは異なる領域に、PchDMOSトランジスタを構成するN型チャネル拡散層24、P型高濃度拡散層26、26、N型高濃度拡散層28、ゲート酸化膜30及びゲート電極32が形成されている。P型高濃度拡散層26はPchDMOSトランジスタのソースを構成し、P型低濃度エピタキシャル成長層4及びP型高濃度半導体基板2はPchDMOSトランジスタのドレインを構成する。

#### 【0064】

この実施例では、図1を参照して説明した実施例と同様の効果を得ることができる。

さらに、CMOSの形成領域に対応してN型埋め込み層36を備えているので

、CMOSの形成領域とP型高濃度半導体基板2との縦方向の電気的分離を向上させ、分離耐圧の不足や、寄生バイポーラ構造に起因するラッチアップなど防止することができ、高電圧が扱える製品をつくることが可能になる。

#### 【0065】

さらに、N型埋め込み層36及びNウエル領域38からなるN型領域は、NchMOSトランジスタ形成領域であるPウエル領域40を含む領域のP型低濃度エピタキシャル成長層4aを囲むように形成されているので、P型低濃度エピタキシャル成長層4aとP型高濃度半導体基板2とを電気的に分離することができる。これにより、Nウエル領域38に形成されたPchMOSトランジスタと、P型低濃度エピタキシャル成長層4a内に形成されたPウエル領域40に形成されたNchMOSトランジスタにより構成されるCMOSは、半導体基板表面の電圧設定のみで回路を構成することが可能となり、PchDMOSトランジスタのドレインとなるP型高濃度半導体基板2を出力端子とすることができる。

#### 【0066】

図6及び図7は、図5に示した実施例を製造するための製造方法の一例を示す工程断面図である。

#### 【0067】

(1)  $0.1\Omega\text{cm}$ 以下の比抵抗をもつP型高濃度半導体基板2を準備する。写真製版技術及びイオン注入法により、N型不純物、例えばリン又はヒ素を加速エネルギーは50KeV、ドーズ量は $1.0\times 10^{15}\text{cm}^{-2}$ 程度の条件で、P型高濃度半導体基板2の表面にCMOS形成領域に対応して選択的に注入する。例えば1000℃、60分程度の条件で熱処理を行なって、注入したN型不純物を活性化させ、N型埋め込み層36を形成する(図6(a)参照)。

#### 【0068】

(2) P型高濃度半導体基板2の一表面上に、比抵抗が $20\Omega\text{cm}$ 程度のP型低濃度エピタキシャル成長層4を例えば $15\mu\text{m}$ の膜厚に形成する。このとき、N型埋め込み層36の不純物はP型低濃度エピタキシャル成長層4にも拡散する(図6(b)参照)。

#### 【0069】

(3) 写真製版技術及びイオン注入法により、N型不純物、例えばリンを加速エネルギーは  $150\text{ KeV}$ 、ドーズ量は  $1.0 \times 10^{13}\text{ cm}^{-2}$  程度の条件で、P型低濃度エピタキシャル成長層4のCMOS形成領域に、PchMOSトランジスタ形成領域を含み、かつNchMOSトランジスタ形成領域を囲むように、選択的に注入する。例えば  $1180^\circ\text{C}$ 、14時間程度の条件で熱処理を施して、注入したリンを活性化させ、Nウエル領域38を形成する。

#### 【0070】

この熱処理において、Nウエル領域38のN型不純物の深さ方向への拡散と、N型埋め込み層36のN型不純物のせり上がりにより、N型埋め込み層36とNウエル領域38は電氣的に接続される。NchMOSトランジスタ形成領域である、N型埋め込み層36及びNウエル領域38で囲まれた領域のP型低濃度エピタキシャル成長層4aは、他の領域のP型低濃度エピタキシャル成長層4及びP型高濃度半導体基板2とは電氣的に分離される(図6(c)参照)。

#### 【0071】

図8は熱処理による不純物の拡散を示すデータであり、(A)及び(B)は表面から注入したリンのドーズ量と拡散深さの関係を示し、(C)及び(D)は埋め込み層のドーズ量とはい上がり量の関係を示す。(A)及び(C)の熱処理条件は  $1150^\circ\text{C}$ 、500分であり、(B)及び(D)の熱処理条件は  $1180^\circ\text{C}$ 、860分である。

#### 【0072】

図8から得られる、表面からの拡散深さ情報と埋め込み層のせり上り情報などを用いることにより、N型埋め込み層36とNウエル領域38を確実に電氣的に接続させることができ、NchMOSトランジスタの形成領域を他の領域のP型低濃度エピタキシャル成長層4及びP型高濃度半導体基板2とは電氣的に分離することができる。

#### 【0073】

(4) 写真製版技術及びイオン注入法により、P型不純物、例えばボロンを加速エネルギーは  $50\text{ KeV}$ 、ドーズ量は  $3.0 \times 10^{12}\text{ cm}^{-2}$  程度の条件で、NchMOSトランジスタ形成領域である、N型埋め込み層36及びNウエル領域3

8で囲まれた領域のP型低濃度エピタキシャル成長層4aに選択的に注入する。例えば1150℃、8時間程度の条件で熱処理を施して、注入したボロンを活性化させ、N型埋め込み層36及びNウェル領域38で囲まれたP型低濃度エピタキシャル成長層4aにPウェル領域40を形成する(図6(d)参照)。

#### 【0074】

(5) 図3(e)から(h)及び図1を参照して説明した上記工程(5)から(9)と同様にして、LOCOS酸化膜6及びゲート酸化膜14, 20, 30を形成し(図7(e)参照)、PchMOSトランジスタ及びNchMOSトランジスタのチャンネルドーピング注入を行なった後、ゲート電極16, 22, 32を形成し(図7(f)参照)、N型チャンネル拡散層24を形成し(図7(g)参照)、P型不純物をPchMOSトランジスタ形成領域のNウェル領域8及びPchDMOSトランジスタ形成領域のN型チャンネル拡散層24内のソース形成領域に選択的に注入し(図7(h)参照)、N型不純物をNchMOSトランジスタ形成領域のPウェル領域40及びPchDMOSトランジスタ形成領域のN型チャンネル拡散層24のN型高濃度拡散層形成領域に選択的に注入し、熱処理を施して、P型高濃度拡散層12, 26及びN型高濃度拡散層18, 28を形成する(図5参照)。

#### 【0075】

図9は、さらに他の実施例を示す断面図である。図5と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

#### 【0076】

P型高濃度半導体基板2の一表面上にP型低濃度エピタキシャル成長層(第2P型低濃度エピタキシャル成長層)42とP型低濃度エピタキシャル成長層4が順に形成されている。P型低濃度エピタキシャル成長層42の厚みは10 $\mu$ m程度であり、比抵抗は20 $\Omega$ cm程度である。P型低濃度エピタキシャル成長層4の表面に素子分離用のLOCOS酸化膜6が形成されている。

#### 【0077】

P型低濃度エピタキシャル成長層42とP型低濃度エピタキシャル成長層4の界面に、CMOS形成領域に対応してN型埋め込み層44が形成されている。P



型低濃度エピタキシャル成長層 42 と P 型低濃度エピタキシャル成長層 4 の界面には、PchDMOS トランジスタのソースを構成する P 型高濃度拡散層 26 の下側に P 型埋め込み層 46 も形成されている

#### 【0078】

P 型低濃度エピタキシャル成長層 4 に、PchMOS トランジスタの形成領域を含み、かつ NchMOS トランジスタの形成領域を囲むように、N ウエル領域 38 が形成されている。N ウエル領域 38 の底部は N 型埋め込み層 44 と電氣的に接続されている。N 型埋め込み層 44 及び N ウエル領域 38 は本発明の半導体装置の N 型領域を構成する。

N ウエル領域 38 に、ソース及びドレインとなる P 型高濃度拡散層 12、12 と、ゲート酸化膜 14 並びにゲート電極 16 を備えた PchMOS トランジスタが形成されている。

#### 【0079】

N 型埋め込み層 44 及び N ウエル領域 38 に囲まれた領域の P 型低濃度エピタキシャル成長層 4a の表面側に、P ウエル領域 40 が形成されている。

P ウエル領域 40 に、ソース及びドレインとなる N 型高濃度拡散層 18、18、ゲート酸化膜 20 並びにゲート電極 22 を備えた NchMOS トランジスタが形成されている。

#### 【0080】

P 型低濃度エピタキシャル成長層 4 の表面側で CMOS 形成領域とは異なる領域に、PchDMOS トランジスタを構成する N 型チャネル拡散層 24、P 型高濃度拡散層 26、26、N 型高濃度拡散層 28、ゲート酸化膜 30 及びゲート電極 32 が形成されている。P 型高濃度拡散層 26 は PchDMOS トランジスタのソースを構成し、P 型高濃度半導体基板 2、P 型低濃度エピタキシャル成長層 4、42 及び P 型埋め込み層 46 は PchDMOS トランジスタのドレインを構成する。

#### 【0081】

この実施例では、図 1 を参照して説明した実施例及び図 5 を参照して説明した実施例と同様の効果を得ることができる。さらに、P 型埋め込み層 46 を備えて

いることにより、図4を参照して説明した実施例と同様に、PchDMOSトランジスタのドレイン抵抗を下げることができる。

#### 【0082】

さらに、N型埋め込み層44は、P型低濃度エピタキシャル成長層4とP型低濃度エピタキシャル成長層42の界面に形成されており、P型高濃度半導体基板2とは間隔をもって配置されている。これにより、製造工程での熱処理時におけるP型高濃度半導体基板2のP型不純物のせり上がり部分をP型低濃度エピタキシャル成長層42で吸収することができ、より強固なN型埋め込み層44を備えることができる。さらに、P型高濃度半導体基板2内のP型不純物のせり上がり拡散に起因するN型埋め込み層44の消失をなくすことができる。さらに、P型高濃度半導体基板2内のP型不純物がN型埋め込み層44の上部まで拡散することによって、主表面側から形成したNウェル領域38の底面部分がN型埋め込み層44まで届かずに、半導体基板とPウェル領域40の電気的分離が不完全になるという不具合を防止することができる。このように、高耐压化及びラッチアップに強い構造とすることができる。

#### 【0083】

図10及び図11は、図9に示した実施例を製造するための製造方法の一例を示す工程断面図である。

#### 【0084】

(1)  $0.1\ \Omega\text{cm}$ 以下の比抵抗をもつP型高濃度半導体基板2を準備する。P型高濃度半導体基板2の一表面上に、比抵抗が $20\ \Omega\text{cm}$ 程度のP型低濃度エピタキシャル成長層42を例えば $10\ \mu\text{m}$ の膜厚に形成する。写真製版技術及びイオン注入法により、P型低濃度エピタキシャル成長層42の表面に、N型不純物、例えばリン又はヒ素を加速エネルギーは $50\text{KeV}$ 、ドーズ量は $1.0 \times 10^{15}\text{cm}^{-2}$ 程度の条件で、P型高濃度半導体基板2の表面にCMOS形成領域に対応して選択的に注入し、さらに、P型不純物、例えばボロンを加速エネルギーは $50\text{KeV}$ 、ドーズ量は $1.0 \times 10^{14}\text{cm}^{-2}$ の条件で、PchDMOSトランジスタのソース形成領域に対応して選択的に注入する。例えば $1000^\circ\text{C}$ 、60分程度の条件で熱処理を行なって、注入したP型不純物及びN型不純物を活性化

させ、N型埋め込み層 44 及び P 型埋め込み層 46 を形成する (図 10 (a) 参照)。

#### 【0085】

(2) P 型低濃度エピタキシャル成長層 42 上に、比抵抗が  $20\ \Omega\text{cm}$  程度の P 型低濃度エピタキシャル成長層 4 を例えば  $15\ \mu\text{m}$  の膜厚に形成する。このとき、N 型埋め込み層 44 及び P 型埋め込み層 46 の不純物は P 型低濃度エピタキシャル成長層 4 にも拡散する (図 10 (b) 参照)。

#### 【0086】

(3) 図 6 (c) 及び (d) を参照して説明した上記工程 (3) 及び (4) と同様にして、P 型低濃度エピタキシャル成長層 4 に N ウェル領域 38 を形成し (図 10 (c) 参照)、N 型埋め込み層 44 及び N ウェル領域 38 で囲まれた P 型低濃度エピタキシャル成長層 4a に P ウェル領域 40 を形成する (図 10 (d) 参照)。

#### 【0087】

(4) 図 3 (e) から (h) 及び図 1 を参照して説明した上記工程 (5) から (9) と同様にして、LOCOS 酸化膜 6 及びゲート酸化膜 14, 20, 30 を形成し (図 11 (e) 参照)、PchMOS トランジスタ及び NchMOS トランジスタのチャンネルドーピング注入を行なった後、ゲート電極 16, 22, 32 を形成し (図 11 (f) 参照)、N 型チャンネル拡散層 24 を形成し (図 11 (g) 参照)、P 型不純物を PchMOS トランジスタ形成領域の N ウェル領域 8 及び PchDMOS トランジスタ形成領域の N 型チャンネル拡散層 24 内のソース形成領域に選択的に注入し (図 11 (h) 参照)、N 型不純物を NchMOS トランジスタ形成領域の P ウェル領域 40 及び PchDMOS トランジスタ形成領域の N 型チャンネル拡散層 24 の N 型高濃度拡散層形成領域に選択的に注入し、熱処理を施して、P 型高濃度拡散層 12, 26 及び N 型高濃度拡散層 18, 28 を形成する (図 9 参照)。

#### 【0088】

図 12 は、さらに他の実施例を示す断面図である。図 9 と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

## 【0089】

P型高濃度半導体基板2の一表面上に、P型低濃度エピタキシャル成長層42、P型低濃度エピタキシャル成長層（第3P型低濃度エピタキシャル成長層）48及びP型低濃度エピタキシャル成長層4が順に形成されている。P型低濃度エピタキシャル成長層48の厚みは10 $\mu$ m程度であり、比抵抗は20 $\Omega$ cm程度である。P型低濃度エピタキシャル成長層4の表面に素子分離用のLOCOS酸化膜6が形成されている。

## 【0090】

P型低濃度エピタキシャル成長層42とP型低濃度エピタキシャル成長層48の界面に、CMOS形成領域に対応してN型埋め込み層44が形成されている。

P型低濃度エピタキシャル成長層4とP型低濃度エピタキシャル成長層48の界面に、NchMOSトランジスタの形成領域に対応して、P型埋め込み層50が形成されている。P型低濃度エピタキシャル成長層4と48の界面には、PchDMOSトランジスタのソースを構成するP型高濃度拡散層26の下側に、P型埋め込み層52も形成されている。

## 【0091】

P型低濃度エピタキシャル成長層4及びP型低濃度エピタキシャル成長層48に、PchMOSトランジスタの形成領域を含み、かつNchMOSトランジスタの形成領域を囲むように、Nウエル領域38が形成されている。Nウエル領域38の底部はN型埋め込み層44と電氣的に接続されている。P型埋め込み層50はNウエル領域38及びN型埋め込み層44によりP型高濃度半導体基板2とは電氣的に分離されている。

## 【0092】

Nウエル領域38に、ソース及びドレインとなるP型高濃度拡散層12、12と、ゲート酸化膜14並びにゲート電極16を備えたPchMOSトランジスタが形成されている。

## 【0093】

N型埋め込み層44及びNウエル領域38に囲まれた領域のP型低濃度エピタキシャル成長層4aの表面側に、Pウエル領域40が形成されている。

P ウェル領域 40 に、ソース及びドレインとなる N 型高濃度拡散層 18、18、ゲート酸化膜 20 並びにゲート電極 22 を備えた N c h M O S トランジスタが形成されている。

#### 【0094】

P 型低濃度エピタキシャル成長層 4 の表面側で C M O S 形成領域とは異なる領域に、P c h D M O S トランジスタを構成する N 型チャンネル拡散層 24、P 型高濃度拡散層 26、26、N 型高濃度拡散層 28、ゲート酸化膜 30 及びゲート電極 32 が形成されている。P 型高濃度拡散層 26 は P c h D M O S トランジスタのソースを構成し、P 型高濃度半導体基板 2、P 型低濃度エピタキシャル成長層 4、42、48 及び P 型埋め込み層 52 は P c h D M O S トランジスタのドレインを構成する。

#### 【0095】

この実施例では、図 1 を参照して説明した実施例及び図 5 を参照して説明した実施例と同様の効果を得ることができる。さらに、P 型埋め込み層 52 を設けることにより、図 4 を参照して説明した実施例と同様に、P c h D M O S トランジスタのドレイン抵抗を下げることができる。

#### 【0096】

さらに、N 型埋め込み層 44 は、低濃度エピタキシャル成長層 42 と 48 の界面に形成されており、加えて、P ウェル領域 40 の形成領域に対応して低濃度エピタキシャル成長層 4 と 48 の界面に P 型埋め込み層 50 が形成されているので、N c h M O S トランジスタの形成領域である P ウェル領域 40 の形成領域における N 型埋め込み層 44 の上方拡散を P 型低濃度エピタキシャル成長層 48 及び P 型埋め込み層 50 より吸収することができるので、P ウェル領域 40 を高濃度ウェル領域にしなくてもウェル耐圧を確保することができる。これにより、P ウェル領域 40 に形成される N c h M O S トランジスタのしきい値電圧の上昇を抑制することができ、高電圧デバイスへの適用が可能になる。

#### 【0097】

図 13 及び図 14 は、図 12 に示した実施例を製造するための製造方法の一例を示す工程断面図である。

## 【0098】

(1)  $0.1\ \Omega\text{cm}$ 以下の比抵抗をもつP型高濃度半導体基板2を準備する。P型高濃度半導体基板2の一表面上に、比抵抗が $20\ \Omega\text{cm}$ 程度のP型低濃度エピタキシャル成長層42を例えば $10\ \mu\text{m}$ の膜厚に形成する。写真製版技術及びイオン注入法により、P型低濃度エピタキシャル成長層42の表面に、N型不純物、例えばリン又はヒ素を加速エネルギーは $50\ \text{KeV}$ 、ドーズ量は $1.0 \times 10^{15}\ \text{cm}^{-2}$ 程度の条件で、P型高濃度半導体基板2の表面にCMOS形成領域に対応して選択的に注入する。例えば $1000^\circ\text{C}$ 、60分程度の条件で熱処理を行なって、注入したN型不純物を活性化させ、N型埋め込み層44を形成する（図13（a）参照）。

## 【0099】

(2) P型低濃度エピタキシャル成長層42上に、比抵抗が $20\ \Omega\text{cm}$ 程度のP型低濃度エピタキシャル成長層48を例えば $10\ \mu\text{m}$ の膜厚に形成する。このとき、N型埋め込み層44の不純物はP型低濃度エピタキシャル成長層48にも拡散する。写真製版技術及びイオン注入法により、P型低濃度エピタキシャル成長層48の表面に、P型不純物、例えばボロンを加速エネルギーは $50\ \text{KeV}$ 、ドーズ量は $1.0 \times 10^{14}\ \text{cm}^{-2}$ の条件で、PchDMOSトランジスタのソース形成領域及びNchMOSトランジスタ形成領域に対応して選択的に注入する。例えば $1000^\circ\text{C}$ 、60分程度の条件で熱処理を行なって、注入したP型不純物を活性化させ、P型埋め込み層50、52を形成する（図13（b）参照）。

## 【0100】

(2) P型低濃度エピタキシャル成長層48上に、比抵抗が $20\ \Omega\text{cm}$ 程度のP型低濃度エピタキシャル成長層4を例えば $15\ \mu\text{m}$ の膜厚に形成する。このとき、P型埋め込み層50、52の不純物はP型低濃度エピタキシャル成長層4にも拡散する（図13（c）参照）。

## 【0101】

(3) 図6（c）及び（d）を参照して説明した上記工程（3）及び（4）と同様にして、P型低濃度エピタキシャル成長層4にNウエル領域38を形成し、N型埋め込み層44及びNウエル領域38で囲まれたP型低濃度エピタキシャル成

長層 4a に P ウェル領域 40 を形成する (図 13 (d) 参照)。P ウェル領域 40 の底部は P 型埋め込み層 50 と電氣的に接続される。ただし、P ウェル領域 40 と P 型埋め込み層 50 は必ずしも電氣的に接続されていなくてもよい。

#### 【0102】

(4) 図 3 (e) から (h) 及び図 1 を参照して説明した上記工程 (5) から (9) と同様にして、LOCOS 酸化膜 6 及びゲート酸化膜 14, 20, 30 を形成し (図 14 (e) 参照)、PchMOS トランジスタ及びNchMOS トランジスタのチャンネルドーピング注入を行なった後、ゲート電極 16, 22, 32 を形成し (図 14 (f) 参照)、N 型チャンネル拡散層 24 を形成し (図 14 (g) 参照)、P 型不純物を PchMOS トランジスタ形成領域の N ウェル領域 8 及び PchDMOS トランジスタ形成領域の N 型チャンネル拡散層 24 内のソース形成領域に選択的に注入し (図 14 (h) 参照)、N 型不純物を NchMOS トランジスタ形成領域の P ウェル領域 40 及び PchDMOS トランジスタ形成領域の N 型チャンネル拡散層 24 の N 型高濃度拡散層形成領域に選択的に注入し、熱処理を施して、P 型高濃度拡散層 12, 26 及び N 型高濃度拡散層 18, 28 を形成する (図 12 参照)。

#### 【0103】

図 15 に本発明の半導体装置が適用される一例である定電圧回路の回路図を示す。図 16 は PchDMOS トランジスタ及び CMOS を備えた半導体装置を定電圧回路に適用したときの接続状態を示す断面図であり、(A) は本発明、(B) は従来例を示す。図 16 において、(A) に示す半導体装置は図 12 に示した実施例を同じ構造をもち、(B) に示す半導体装置は図 17 に示した従来例と同じ構造をもつ。

#### 【0104】

まず、図 15 を参照して定電圧回路を説明する。

電源 54 からの電源を負荷 56 に安定して供給すべく、定電圧回路 58 が設けられている。定電圧回路 58 は、電源 54 が接続される入力端子 (Vin) 60、出力端子 (Vout) 62、基準電圧発生回路 (Vref) 64、演算増幅器 66、PchDMOS トランジスタからなる出力トランジスタ (DRV) 68 及

び分圧抵抗  $R_1$ ,  $R_2$  を備えている。

基準電圧発生回路 64 及び演算増幅器 66 はコントロール部を構成する。

#### 【0105】

出力トランジスタ 68 のソースは入力端子 60 に接続され、ドレインは出力端子 62 に接続されている。演算増幅器 66 において、出力端子が出力トランジスタ 68 のゲート電極に接続され、反転入力端子に基準電圧発生回路 64 から基準電圧  $V_{ref}$  が印加され、非反転入力端子に出力電圧  $V_{out}$  を抵抗  $R_1$  と  $R_2$  で分圧した電圧が印加され、出力電圧  $V_{out}$  が抵抗  $R_1$  と  $R_2$  により分圧された電圧が基準電圧に等しくなるように制御される。

#### 【0106】

図 16 (A) に示すように、本発明の半導体装置では、入力端子 ( $V_{in}$ ) 60 は PchDMOS トランジスタのソースを構成する P 型高濃度拡散層 26 と N 型チャンネル拡散層 24 の電位をとるための N 型高濃度拡散層 28 に接続され、出力端子 ( $V_{out}$ ) 62 はドレインを構成する P 型高濃度半導体基板 2 に接続されている。

#### 【0107】

図 16 (B) に示すように、従来例では、入力端子 60 は、PchDMOS トランジスタのソースを構成する P 型高濃度拡散層 88、N 型チャンネル拡散層 84 の電位をとるための N 型高濃度拡散層 90、及び N ウェル領域 78 の電位をとるための N 型高濃度拡散層 82 に接続され、出力端子 62 は、ドレインを構成する P ウェル領域の電位をとるための P 型高濃度拡散層 86 に接続されている。P 型半導体基板 72 は接地電位 (GND) に接続されている。

#### 【0108】

図 16 (A) 及び (B) に示されている CMOS は、図 15 のコントロール部を構成する基準電圧発生回路 64 や演算増幅器 66 などを使用される CMOS に適用される。

#### 【0109】

図 16 (B) に示すように、従来例において、出力トランジスタを構成する PchDMOS トランジスタは表面デバイスである。このため、入力端子 60 と出



力端子 6 2 が共に主表面側にあり、配線の引き回しが複雑になり、大電流を流す上で電流容量の問題がある。

#### 【0 1 1 0】

一方、図 1 6 (A) に示すように、本発明の半導体装置では、出力トランジスタは縦型 DMOS トランジスタにより構成され、半導体基板が出力端子 6 2 として働く構造である。このように、出力トランジスタはソース配線及びドレイン配線の両方ではなくソース配線のみを主表面側にもつので、出力トランジスタの面積を小さくすることができる。さらに、電流は主表面側の P 型高濃度拡散層 2 6 から P 型高濃度半導体基板 2 側に流れるため、電流を流す部分の断面積を大きくとることができ、大電流化が可能となる。さらに、出力端子 6 2 を半導体基板とする構造であるので放熱特性がよい。さらに、MOS トランジスタのみで定電圧回路を構成しているので消費電流を下げるができる。

#### 【0 1 1 1】

以上、本発明の実施例を説明したが、本発明は上記の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

#### 【0 1 1 2】

例えば、上記の実施例では P 型の半導体基板を用いた例を示しているが、本発明はこれに限定されるものではなく、N 型の半導体基板を用い、上記の実施例とは逆導電型の構成にしたこと構造にすることにより、同様の効果を得ることができる。

#### 【0 1 1 3】

また、上記の実施例では、縦型 DMOS トランジスタとして、基板表面にゲート酸化膜を介してゲート電極を備え、二重拡散層でソースとチャネル拡散層を形成するプレーナ型の縦型 DMOS トランジスタを用いているが、本発明はこれに限定されるものではなく、例えばゲート電極部分を基板内部に埋め込んだ構造をもつトレンチ型の縦型 DMOS トランジスタなど、他の構造の縦型 DMOS トランジスタであってもよい。

#### 【0 1 1 4】

**【発明の効果】**

請求項 1 に記載された半導体装置では、P 型の同一半導体基板上に、P c h D MOS トランジスタと、P c h MOS トランジスタ及び N c h MOS トランジスタからなる CMOS とを備えた半導体装置において、P c h D MOS トランジスタは、ドレインを半導体基板とし、ソースを半導体基板の主表面側にもつ縦型 D MOS トランジスタであり、P c h MOS トランジスタは、半導体基板の主表面側に形成された N 型領域内に形成されており、N c h MOS トランジスタは、N 型領域によって半導体基板とは電氣的に分離された P 型領域内に形成されているようにしたので、D MOS トランジスタのソース及びドレインに対して形成される出力配線はソース及びドレインの一方のみにすることができ、従来の表面デバイスのソース配線及びドレイン配線の半分となり、電流容量を上げることができ、D MOS トランジスタが電流を流すことができる能力を有効に引き出すことができる。さらに、同一半導体基板上に形成される CMOS は、半導体基板とは電氣的に分離された N 型領域及び P 型領域に配置されているので、製品化が可能となる。

**【0 1 1 5】**

請求項 2 に記載された半導体装置では、半導体基板は、主表面とは反対側の裏面側から順に P 型高濃度半導体基板と P 型低濃度エピタキシャル成長層が積層された積層構造をもつようにしたので、D MOS トランジスタのドレイン抵抗を下げることができ、製品性能を向上させることができる。さらに、D MOS トランジスタのドレイン以外の部分及び CMOS を形成する領域を P 型低濃度エピタキシャル成長層にすることにより、CMOS 及び D MOS トランジスタの作製が困難になるのを防止することができる。

**【0 1 1 6】**

請求項 3 に記載された半導体装置では、N 型領域の底部は、P 型高濃度半導体基板と P 型低濃度エピタキシャル成長層の界面に形成された N 型埋め込み層により構成されているようにしたので、CMOS を形成するための N 型領域について縦方向の電氣的分離を向上させることができ、分離耐圧の不足や、寄生バイポーラ構造に起因するラッチアップなど防止することができ、高電圧が扱える製品を

つくることが可能になる。

【0117】

請求項4に記載された半導体装置では、半導体基板は、P型高濃度半導体基板とP型低濃度エピタキシャル成長層の間に第2P型低濃度エピタキシャル成長層をさらに備え、N型埋め込み層は、P型低濃度エピタキシャル成長層と第2P型低濃度エピタキシャル成長層の界面に形成されているようにし、N型埋め込み層はP型高濃度半導体基板とは間隔をもって配置されているようにしたので、製造工程での熱処理時におけるP型高濃度半導体基板からのP型不純物のせり上がり部分を第2P型低濃度エピタキシャル成長層で吸収することができ、より強固なN型埋め込み層を備えることができる。さらに、P型高濃度半導体基板からのP型不純物のせり上がり拡散に起因するN型埋め込み層の消失をなくすことができる。さらに、P型高濃度半導体基板内のP型不純物がN型埋め込み層上部まで拡散することによって、主表面側から形成したN型領域部分がN型埋め込み層まで届かずに、半導体基板とP型領域の電気的分離が不完全になるという不具合を防止することができる。このように、高耐压化及びラッチアップに強い構造とすることができる。

【0118】

請求項5に記載された半導体装置では、半導体基板は、P型低濃度エピタキシャル成長層と第2P型低濃度エピタキシャル成長層の間に第3P型低濃度エピタキシャル成長層をさらに備え、N型埋め込み層は、第2P型低濃度エピタキシャル成長層と第3P型低濃度エピタキシャル成長層の界面に形成されており、P型領域の形成領域に対応して、P型低濃度エピタキシャル成長層と第3P型低濃度エピタキシャル成長層の界面にP型埋め込み層が形成されているようにしたので、NchMOSトランジスタの形成領域におけるN型埋め込み層の上方拡散を第3P型低濃度エピタキシャル成長層及びP型埋め込み層より吸収することができ、P型領域を高濃度ウエル領域にしなくてもウエル耐压を確保することができる。これにより、P型領域に形成されるNchMOSトランジスタのしきい値電圧の上昇を抑制することができ、高電圧デバイスへの適用が可能になる。

【0119】

請求項 6 に記載された半導体装置では、N 型領域は、底面部が N 型埋め込み層により構成され、側面部が P 型領域の形成領域を含む P 型低濃度エピタキシャル成長層の領域を囲むように形成された N ウェル領域により構成されており、P 型領域は N 型領域に囲まれた領域の P 型低濃度エピタキシャル成長層に形成されているようにしたので、N 型領域に囲まれた領域の P 型低濃度エピタキシャル成長層と P 型高濃度半導体基板とを電氣的に分離することができ、N 型領域に形成された P c h M O S トランジスタと P 型領域に形成された N c h M O S トランジスタにより構成される C M O S は、半導体基板表面の電圧設定のみで回路を構成することが可能となり、P c h D M O S トランジスタのドレインとなる P 型高濃度半導体基板を出力端子とすることができる。

#### 【0120】

請求項 7 に記載された半導体装置では、半導体基板は、P c h D M O S トランジスタのソース形成領域の下側に、P 型埋め込み層を備えているようにしたので、P c h D M O S トランジスタにおいてデバイス耐圧に合わせたドレイン抵抗値を設定でき、P c h D M O S トランジスタのオン抵抗を下げることができる。

#### 【0121】

請求項 8 に記載された半導体装置では、本発明の半導体装置とは逆導電型の構成をもつようにしたので、N 型の半導体基板を用いた場合にも P 型の半導体基板を用いた場合と同様の効果が得られる。

#### 【0122】

請求項 8 に記載された半導体装置では、本発明を、定電圧回路を備えた半導体装置に適用し、定電圧回路において、出力トランジスタは本発明の半導体装置を構成する D M O S トランジスタにより構成され、コントロール部で使用される C M O S 本発明の半導体装置を構成する C M O S により構成されるようにしたので、M O S トランジスタのみで定電圧回路を構成しているので消費電流を下げるができる。さらに、出力端子を半導体基板とする構造であるので放熱特性がよい。さらに、出力トランジスタはソース配線及びドレイン配線の両方ではなくソース配線のみを主表面側にもつので、出力トランジスタの面積を小さくすることができる。さらに、電流は主表面から基板側に流れるため、電流を流す部分の断

面積を大きくとることができ、大電流化が可能となる。

【図面の簡単な説明】

【図 1】

一実施例を示す断面図である。

【図 2】

同実施例を製造するための製造方法の一例の前半を示す工程断面図である。

【図 3】

同実施例を製造するための製造方法の一例の後半を示す工程断面図である。

【図 4】

他の実施例を示す断面図である。

【図 5】

さらに他の実施例を示す断面図である。

【図 6】

図 5 に示した実施例を製造するための製造方法の一例の前半を示す工程断面図である。

【図 7】

図 5 に示した実施例を製造するための製造方法の一例の後半を示す工程断面図である。

【図 8】

熱処理による不純物の拡散を示すデータであり、(A) 及び (B) は表面から注入したリンのドーズ量と拡散深さの関係を示し、(C) 及び (D) は埋め込み層のドーズ量とはい上がり量の関係を示す。

【図 9】

さらに他の実施例を示す断面図である。

【図 1 0】

図 1 0 に示した実施例を製造するための製造方法の一例の前半を示す工程断面図である。

【図 1 1】

図 1 0 に示した実施例を製造するための製造方法の一例の後半を示す工程断面

図である。

【図 1 2】

さらに他の実施例を示す断面図である。

【図 1 3】

図 1 2 に示した実施例を製造するための製造方法の一例の前半を示す工程断面図である。

【図 1 4】

図 1 2 に示した実施例を製造するための製造方法の一例の後半を示す工程断面図である。

【図 1 5】

定電圧回路を備えた半導体装置の一実施例を示す回路図である。

【図 1 6】

PchDMOSトランジスタ及びCMOSを備えた半導体装置を定電圧回路に適用したときの接続状態を示す断面図であり、(A)は本発明、(B)は従来例を示す。

【図 1 7】

PchDMOSトランジスタ及びCMOSを備えた従来の半導体装置を示す断面図である。

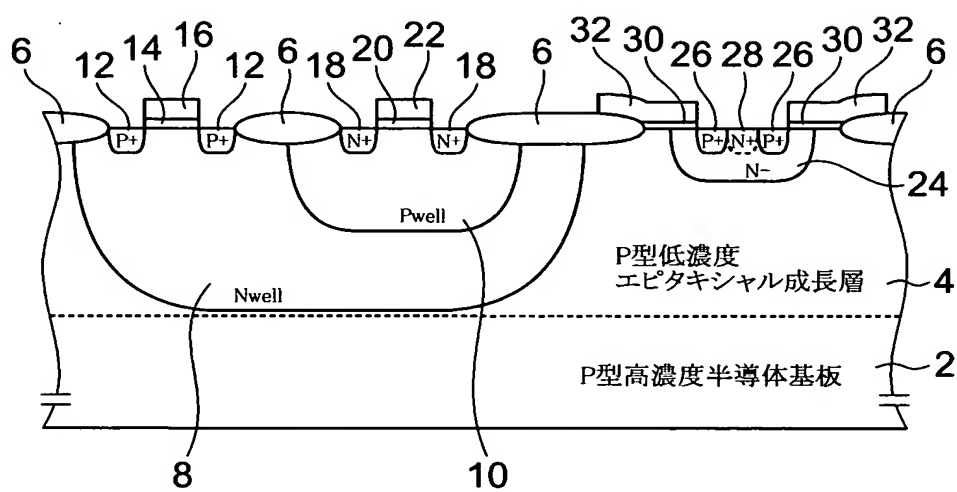
【符号の説明】

- 2           P 型高濃度半導体基板
- 4, 4 a      P 型低濃度エピタキシャル成長層
- 6           LOCOS 酸化膜
- 8, 3 8      N ウエル領域
- 1 0, 4 0     P ウエル領域
- 1 2, 2 6     P 型高濃度拡散層
- 1 4, 2 0, 3 0   ゲート酸化膜
- 1 6, 2 2, 3 2   ゲート電極
- 1 8          N 型高濃度拡散層
- 2 4, 2 8      N 型チャネル拡散層

3 4 , 4 6 , 5 0 , 5 2      P 型埋め込み層  
3 6 , 4 4      N 型埋め込み層  
4 2      第 2 P 型低濃度エピタキシャル成長層  
4 8      第 3 P 型低濃度エピタキシャル成長層  
5 4      電源  
5 6      負荷  
5 8      定電圧回路  
6 0      入力端子  
6 2      出力端子  
6 4      基準電圧発生回路  
6 6      演算増幅器  
6 8      出力トランジスタ  
R 1 , R 2      分圧抵抗

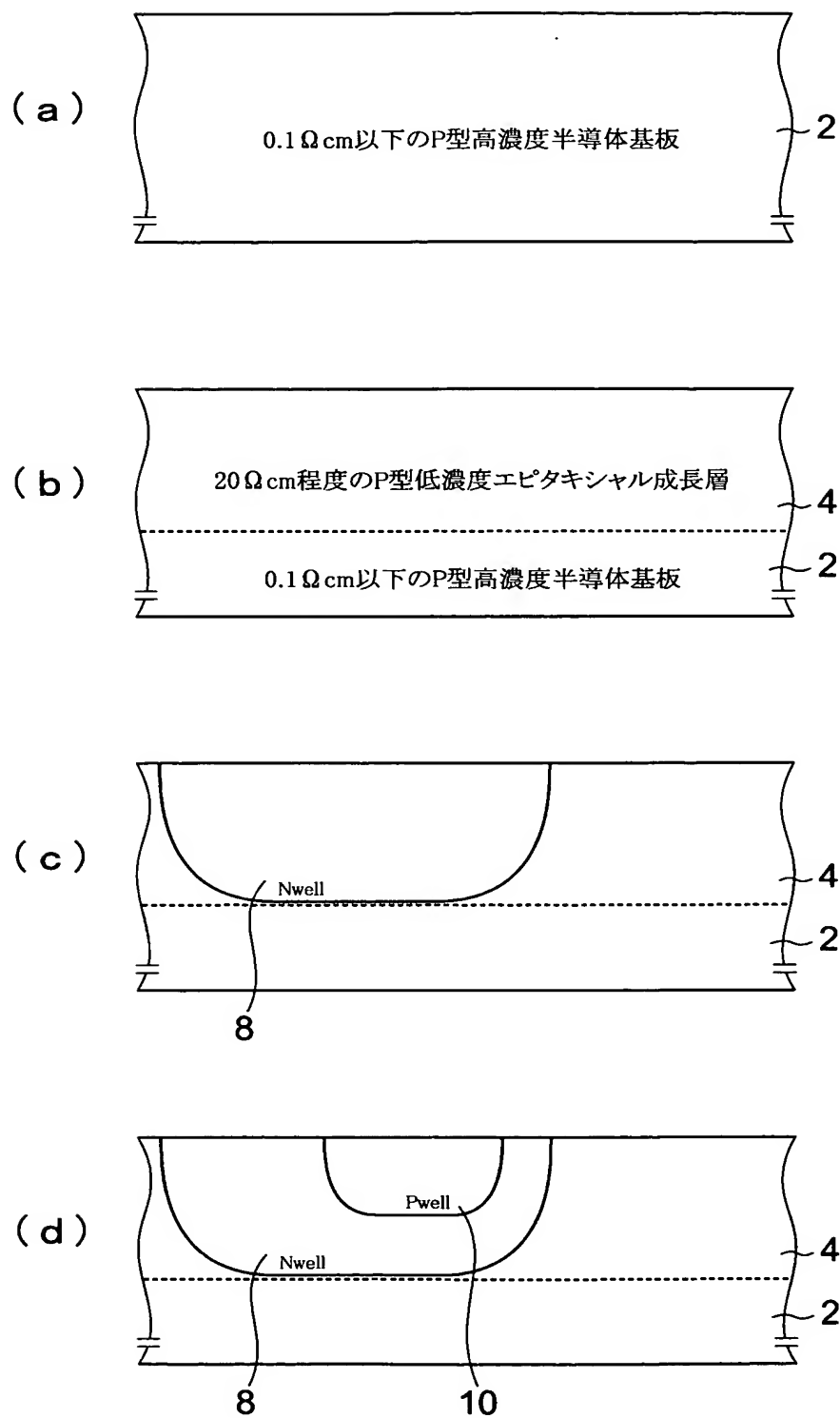
【書類名】 図面

【図 1】



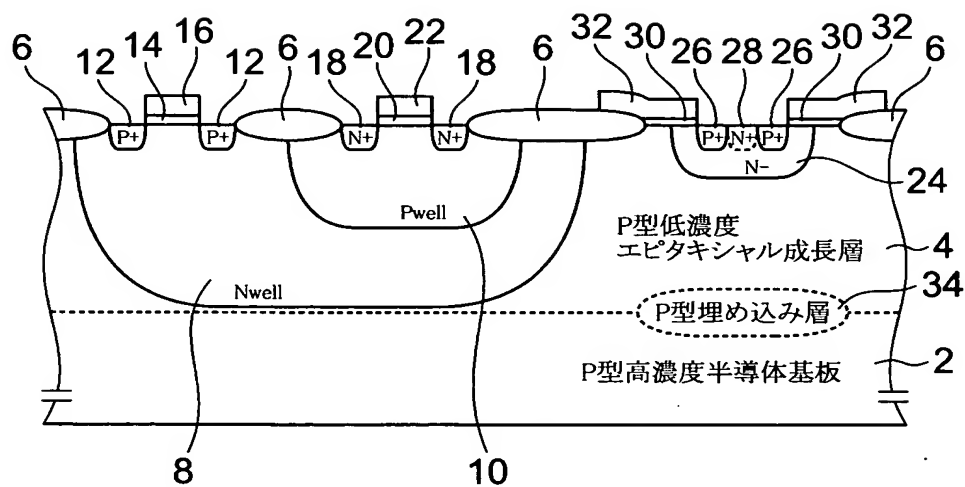


【図 2】

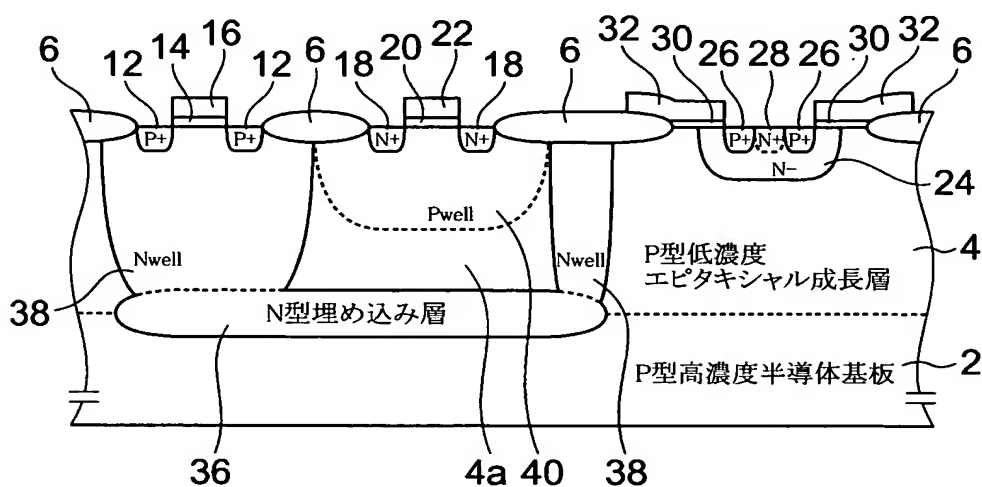




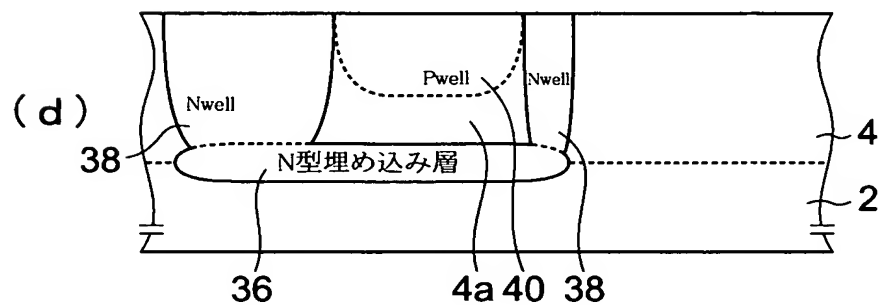
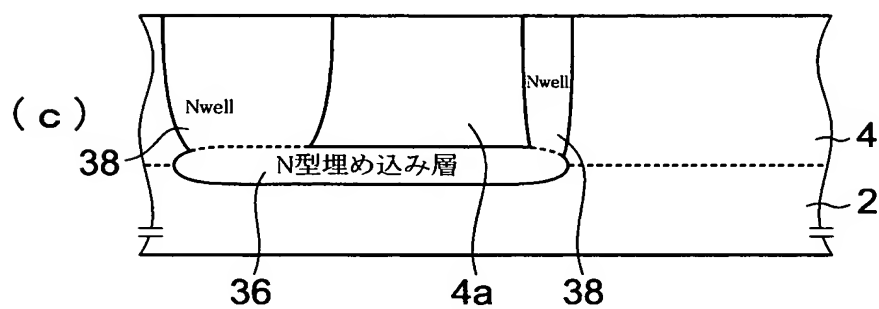
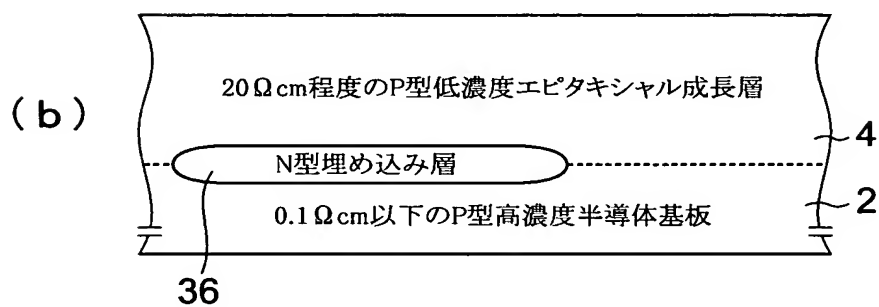
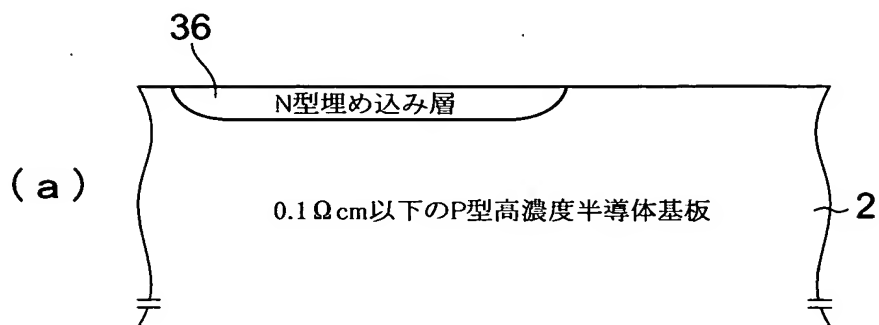
【図 4】



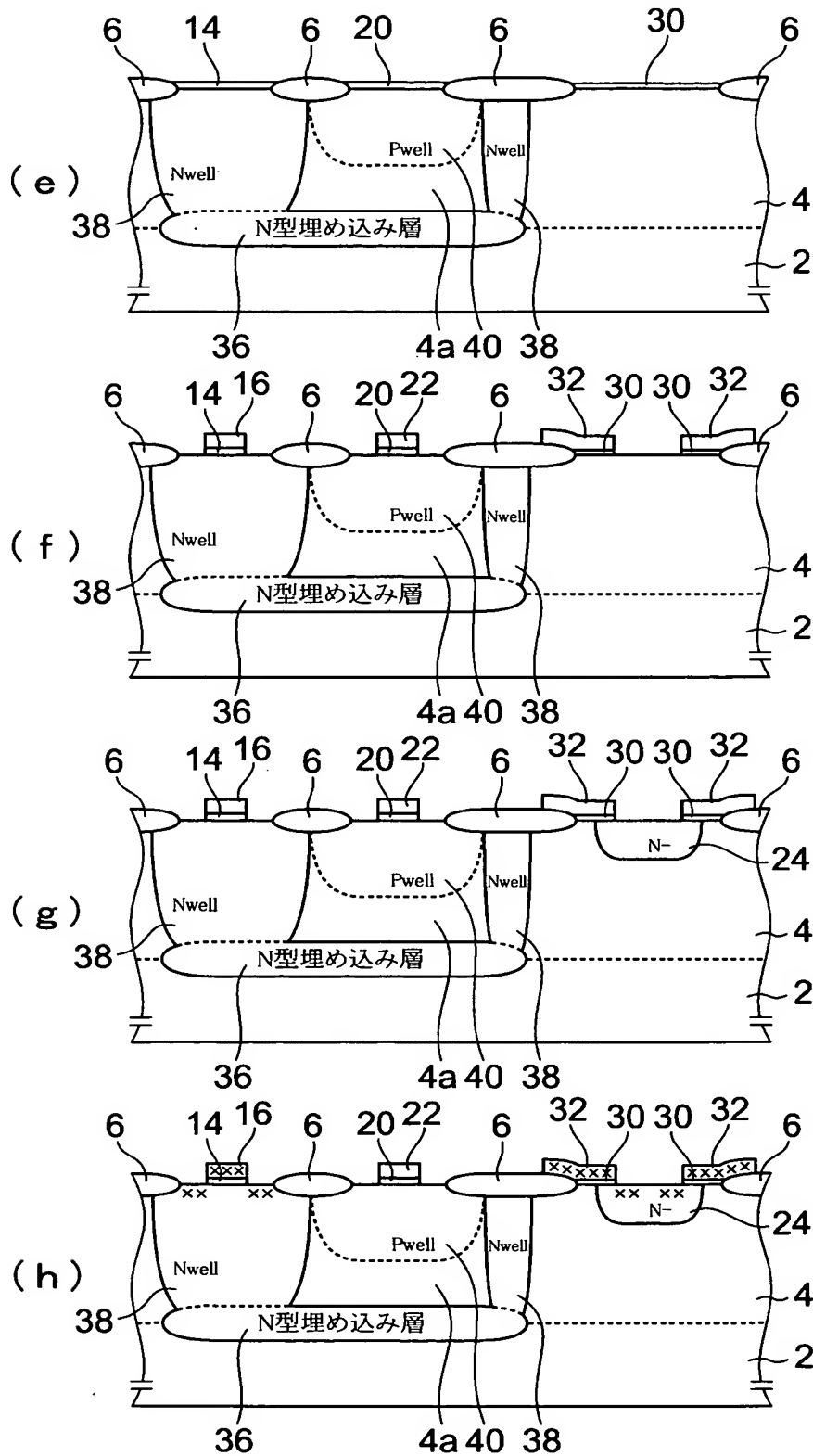
【図 5】



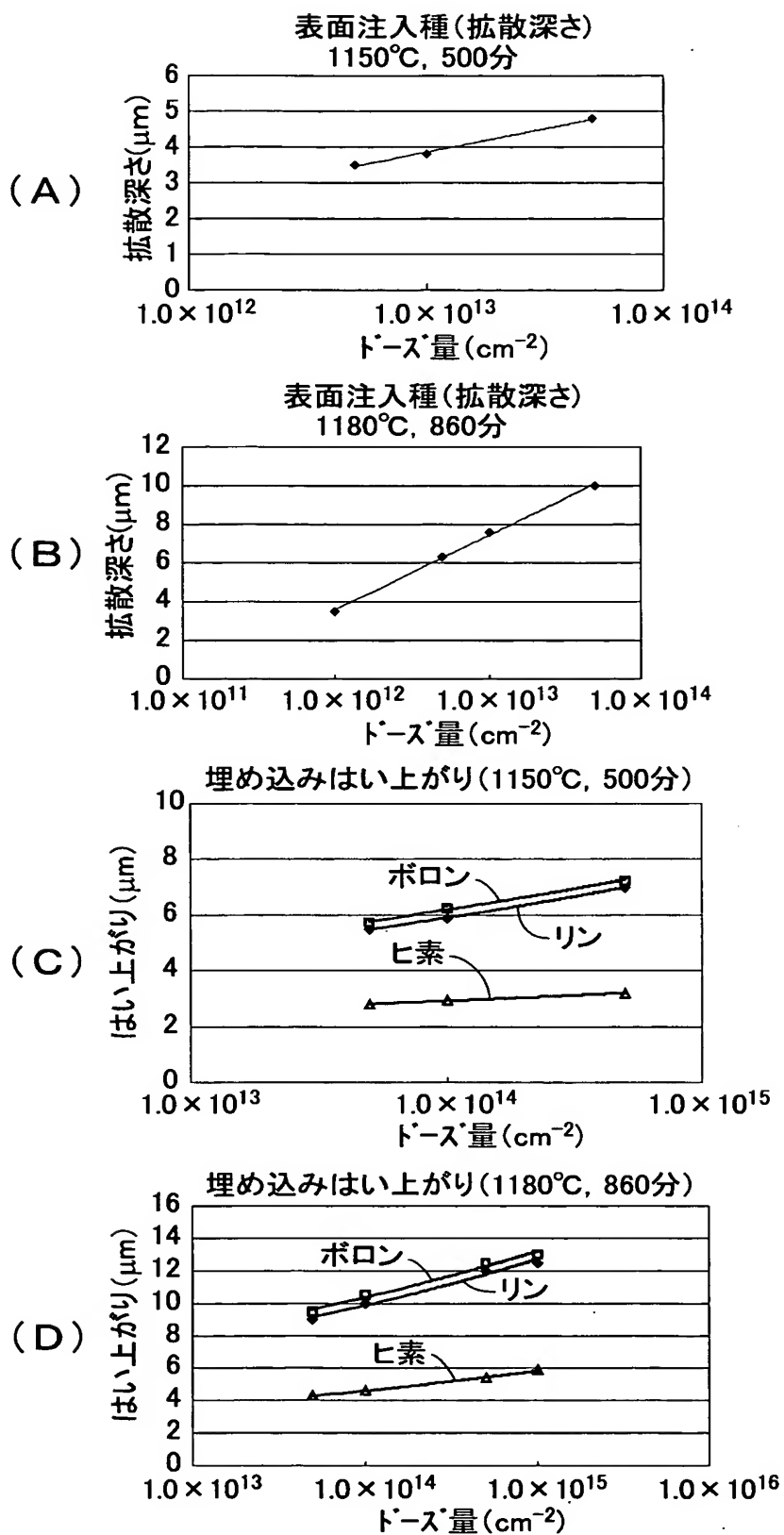
【図 6】



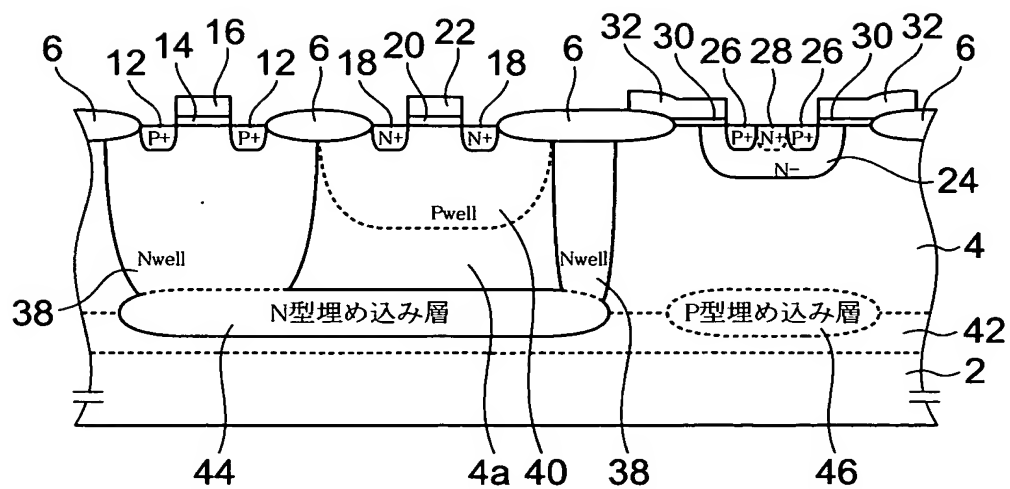
【図 7】



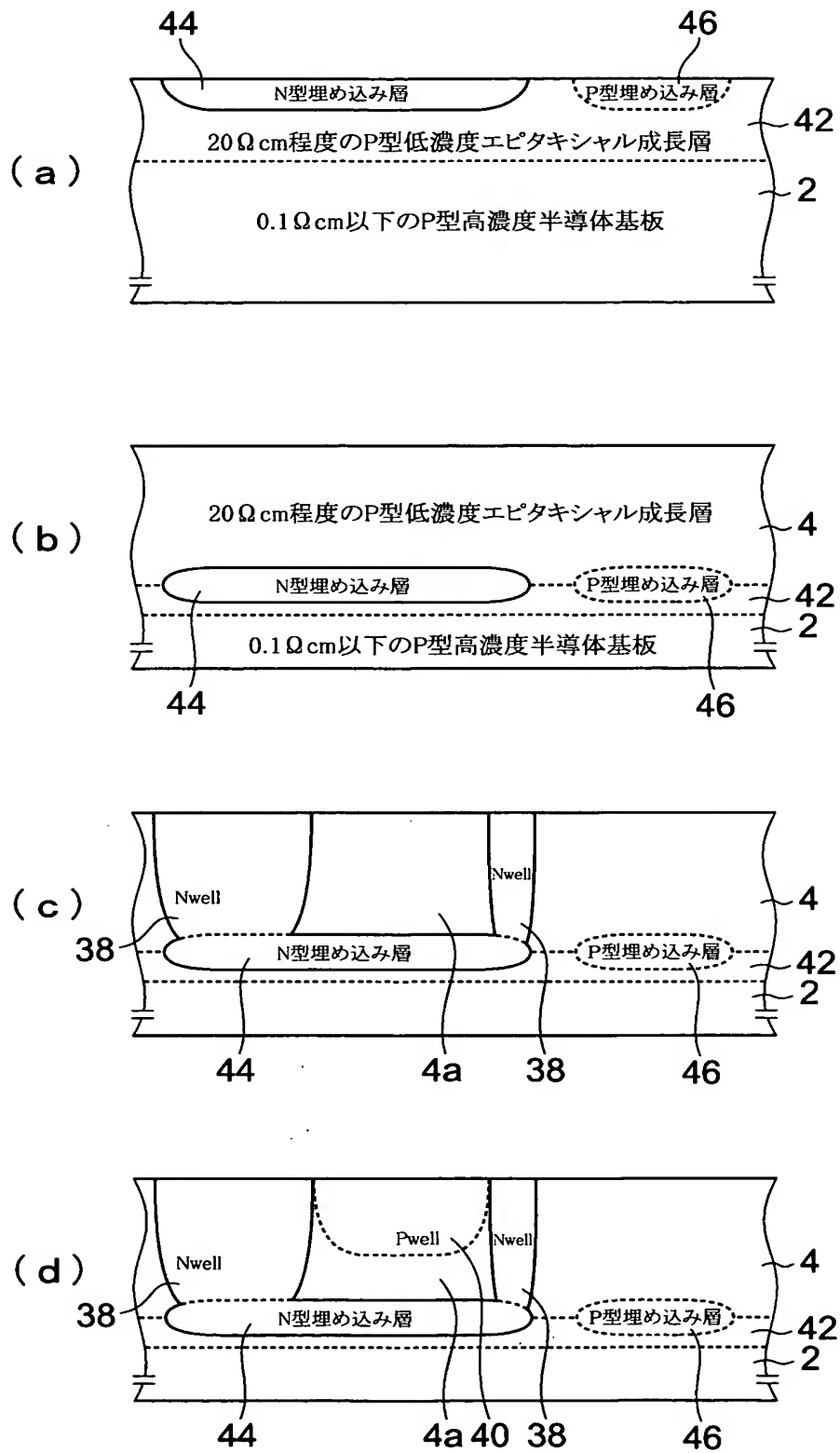
【図 8】



【図 9】

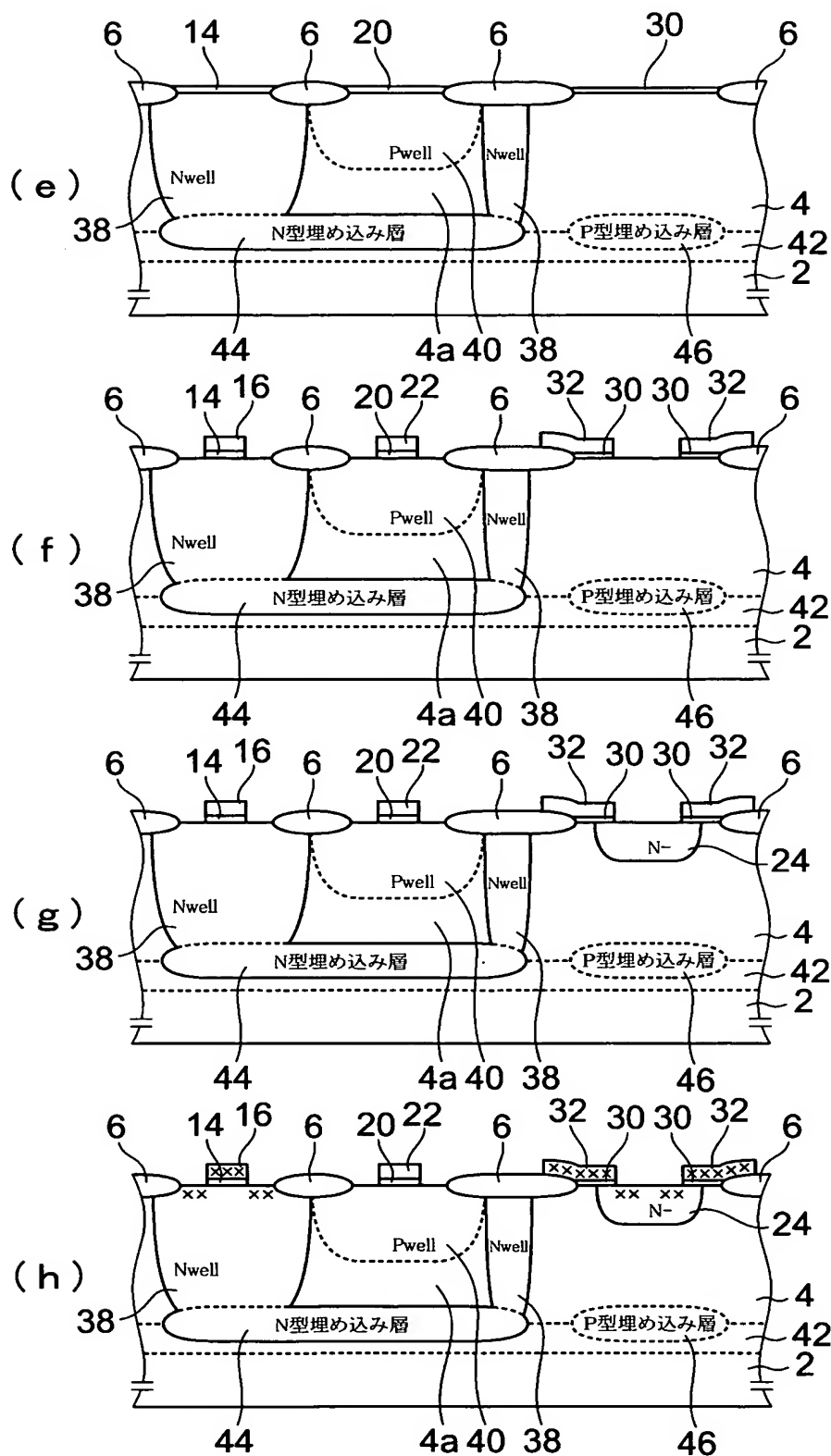


【図 10】

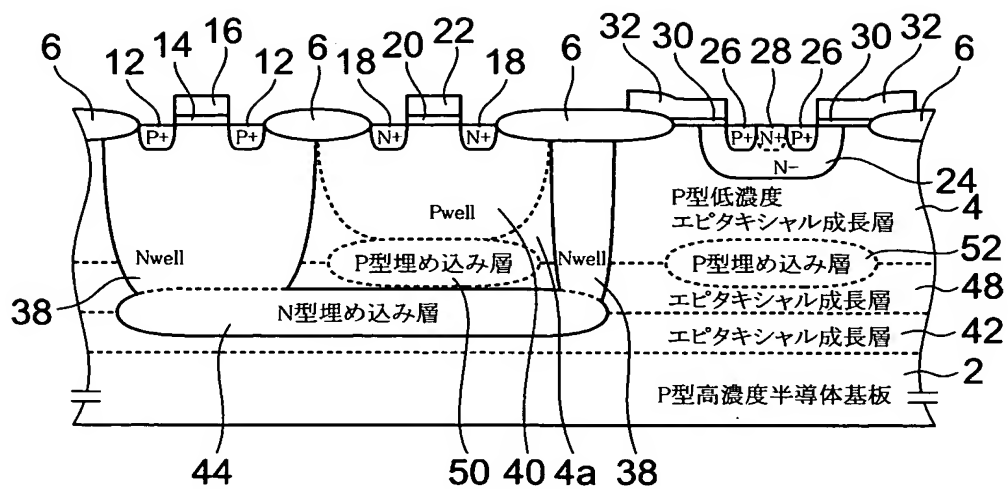




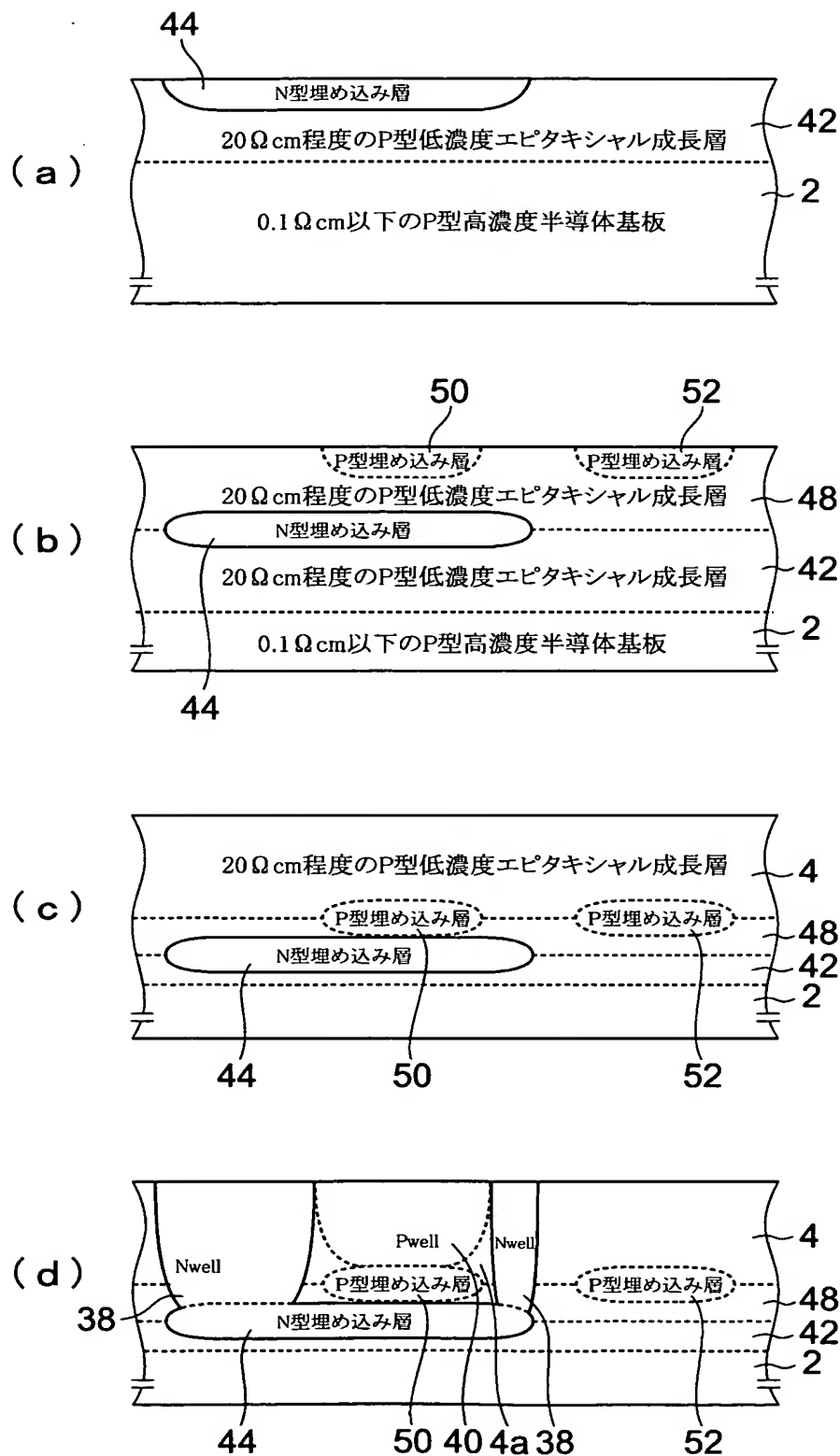
【図 11】



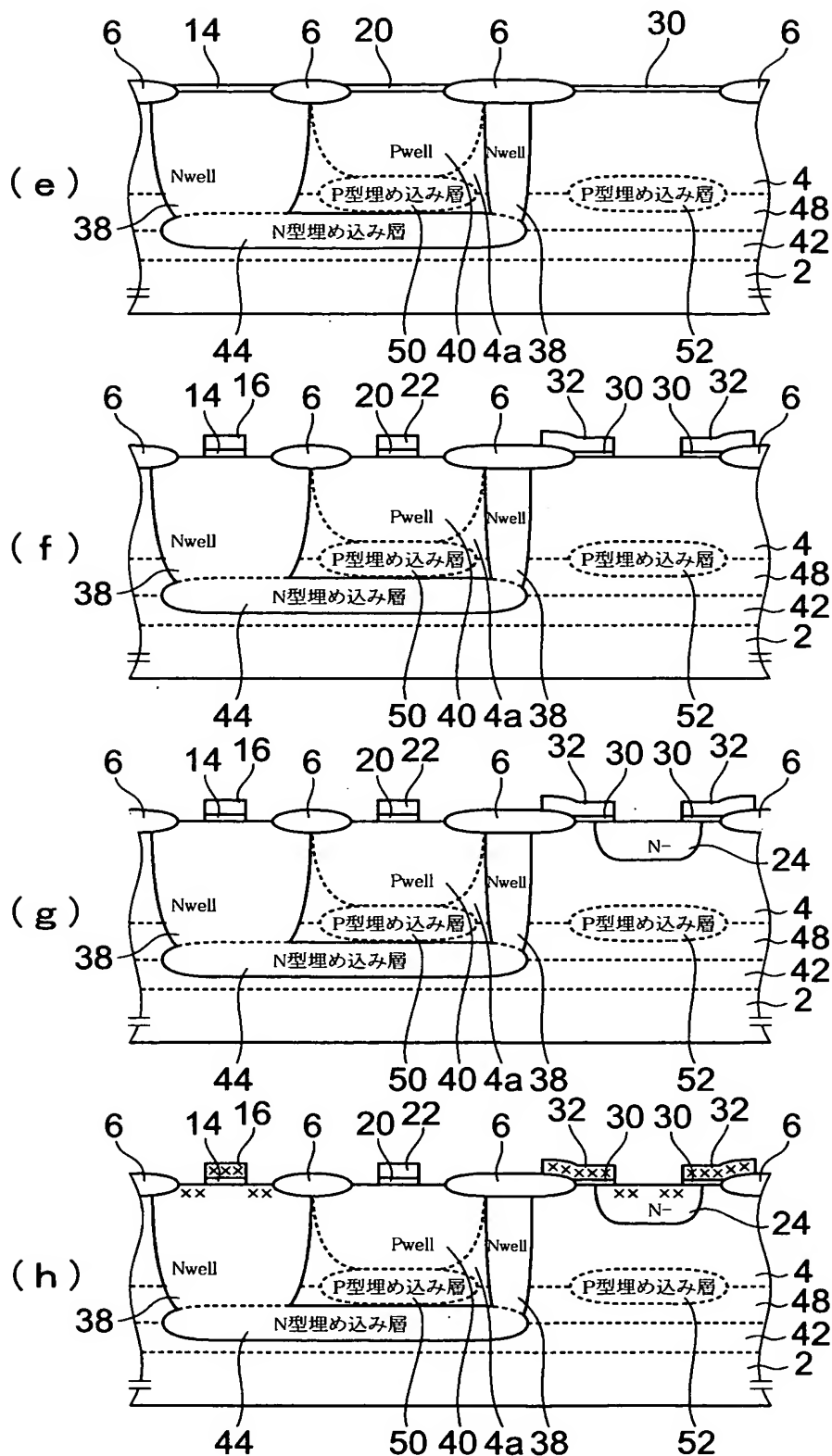
【図 12】



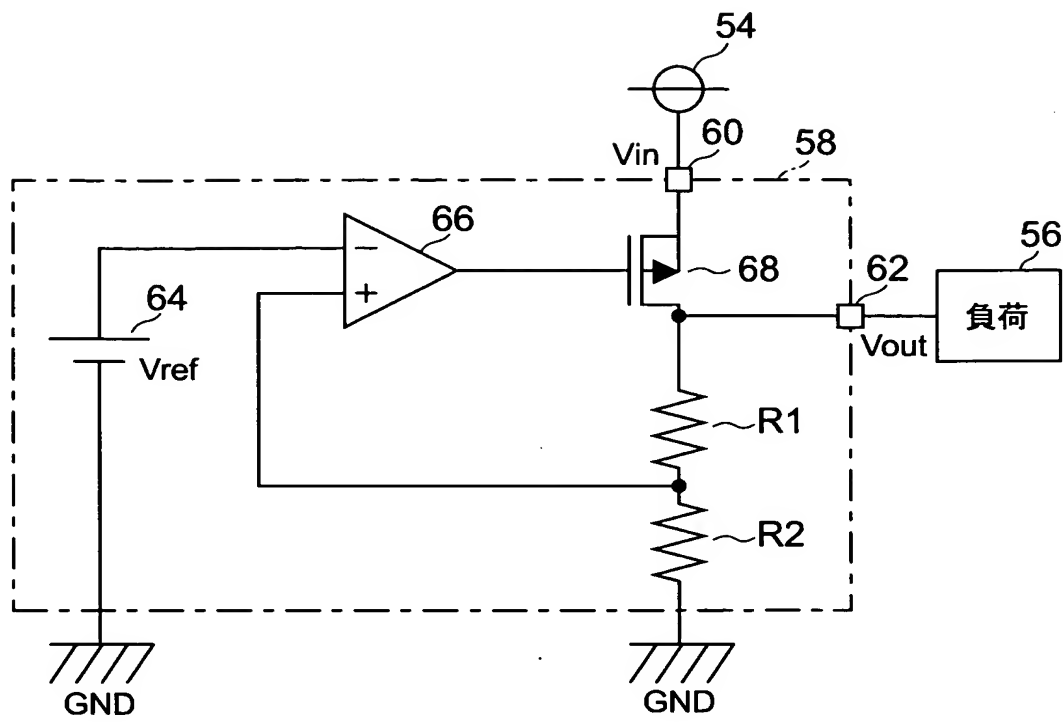
【図 13】



【図 14】

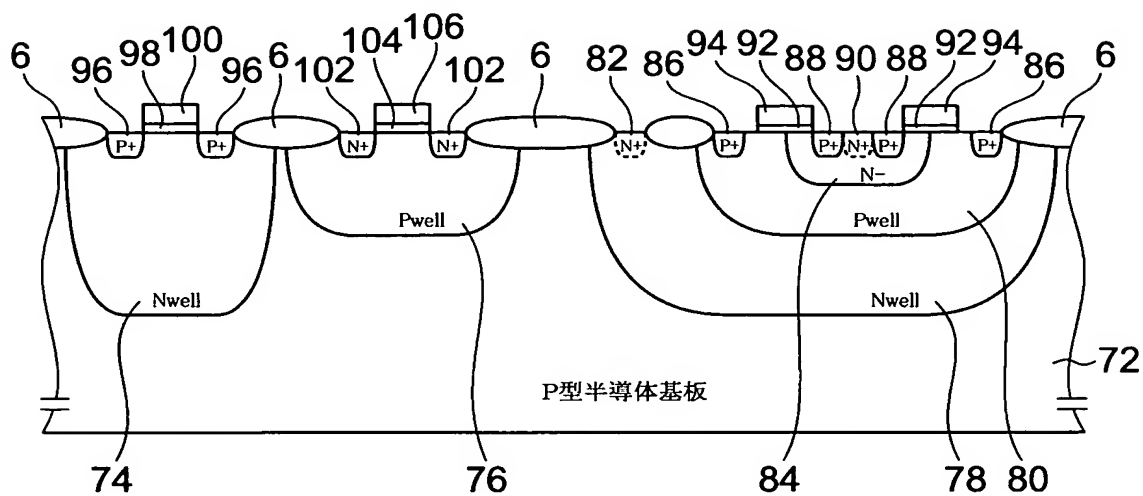


【図 15】





【図 17】



【書類名】 要約書

【要約】

【課題】 DMOSトランジスタとCMOSを混載した半導体装置において、DMOSトランジスタが電流を流すことができる能力を有効に引き出すことができる半導体装置を提供する。

【解決手段】 P型高濃度半導体基板2の一表面上にP型低濃度エピタキシャル成長層4が形成されている。P型低濃度エピタキシャル成長層4にNウエル領域8が形成され、Nウエル領域8内にPchMOSトランジスタとPウエル領域10が形成され、Pウエル領域10内にNchMOSトランジスタが形成されている。P型低濃度エピタキシャル成長層4のCMOS形成領域とは異なる領域に、PchDMOSトランジスタを構成する、N型チャネル拡散層24、ソース用のP型高濃度拡散層26、N型高濃度拡散層28、ゲート酸化膜30及びゲート電極32が形成されている。PchDMOSトランジスタのドレインはP型高濃度半導体基板2及びエピタキシャル成長層4により構成される。

【選択図】 図1



特願 2 0 0 3 - 0 2 9 3 7 5

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 7 4 7 ]

1. 変更年月日	2 0 0 2 年 5 月 1 7 日
[変更理由]	住所変更
住 所	東京都大田区中馬込 1 丁目 3 番 6 号
氏 名	株式会社リコー